

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS82 U.S. PTO
09/691115
10/19/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 6月 6日

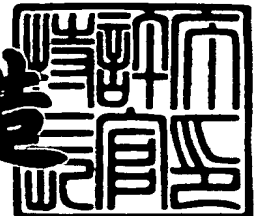
出 願 番 号
Application Number: 特願2000-169689

出 願 人
Applicant(s): 富士通株式会社

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3057313

【書類名】 特許願

【整理番号】 0040516

【提出日】 平成12年 6月 6日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G11C 11/407

【発明の名称】 自己試験回路及びそれを内蔵するメモリデバイス

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

 【氏名】 斎藤 雅彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

 【氏名】 富田 浩由

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

 【氏名】 野村 幸弘

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

 【氏名】 藤本 博之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

 【氏名】 鈴木 隆博

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士

通株式会社内

【氏名】 神田 達哉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士
通株式会社内

【氏名】 松崎 康郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第359999号

【出願日】 平成11年12月17日

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自己試験回路及びそれを内蔵するメモリデバイス

【特許請求の範囲】

【請求項 1】 コマンドに応答してメモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路を有するメモリデバイスに内蔵され、前記メモリデバイスの不良を検出する自己試験回路において、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積し、外部に出力する試験出力回路とを有し、

前記自己試験回路は、外部からの自己試験活性化信号に応答して自己試験活性化状態になることを特徴とするメモリデバイスの自己試験回路。

【請求項 2】 請求項 1 において、

更に、前記自己試験活性化状態において、前記書き込み及び・または読み出しを含む複数の試験動作モードのうち、いずれかを指定する試験動作モード信号を生成する試験動作モード選択回路を有し、

前記試験動作モード信号に応じて、前記試験動作コマンド発生回路が、前記試験動作モードを実行するための前記試験動作コマンドを発生することを特徴とするメモリデバイスの自己試験回路。

【請求項 3】 請求項 1 において、

前記試験動作コマンド発生回路は、前記試験アドレス発生回路があるアドレスを発生する毎に、前記書き込みまたは読み出しの少なくとも一方を含む動作に対応する複数の試験動作コマンドを順番に発生することを特徴とするメモリデバイスの自己試験回路。

【請求項 4】請求項 1 において、

前記試験出力回路は、前記読み出しデータと試験データとの不一致回数をカウントするカウンタを有することを特徴とするメモリデバイスの自己試験回路。

【請求項 5】請求項 4 において、

前記試験出力回路のカウンタは、少なくとも救済可能な最大不良ビット数に対応する前記不一致回数を最大カウント値とすることを特徴とするメモリデバイスの自己試験回路。

【請求項 6】複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記メモリデバイスの不良を検出する自己試験回路を有し、

前記自己試験回路は、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに書き込みデータとして供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積する試験出力回路とを有することを特徴とするメモリデバイス。

【請求項 7】請求項 6 において、

前記外部コマンドと前記試験コマンドとを切り替える第 1 のセレクタと、

前記外部アドレスと前記試験アドレスとを切り替える第 2 のセレクタと、

外部から供給される外部書き込みデータと前記試験データとを切り替える第 3 のセレクタとを有することを特徴とするメモリデバイス。

【請求項 8】請求項 7 において、

前記第 1、第 2 及び第 3 のセレクトのうちの少なくとも一つは、対応する入力回路に設けられ、

前記入力回路は、第 1 のクロックに同期して前記セレクトにより切り替えられた入力信号を取り込み、前記自己試験回路は、前記第 1 のクロックより位相が進んだ第 2 のクロックに同期して、前記試験コマンド、試験アドレス、試験データのうち対応する信号を前記セレクトに供給することを特徴とするメモリデバイス。

【請求項 9】請求項 8 において、

自己試験活性化信号は、自己試験用入力端子から供給される信号または前記メモリデバイスの所定の外部コマンドに応答して生成される信号のいずれかであり、

自己試験モードにおいて、所定の外部端子の状態に応答して、前記セレクトの少なくとも一部が外部入力端子側に切り替わることを特徴とするメモリデバイス。

【請求項 10】請求項 6 において、

自己試験用入力端子から供給されるリセットコマンドに応答して、少なくとも前記メモリコアとメモリ制御回路を含む内部回路にリセット信号が供給され、当該内部回路がリセットされることを特徴とするメモリデバイス。

【請求項 11】複数のメモリセルを有するメモリコアと、外部コマンドにตอบสนองして前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号にตอบสนองして自己試験活性化状態になり、前記書き込みまたは読み出しを指示する試験動作コマンドを発生して前記メモリ制御回路に供給し、試験アドレスを発生して前記メモリコアに供給し、試験データを発生して前記メモリコアに書き込みデータとして供給し、前記メモリコアからの読み出しデータと前記試験データとを比較して前記メモリデバイスの不良を検出する自己試験回路を有することを特徴とするメモリデバイス。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、メモリデバイスに内蔵される自己診断用の自己試験回路に関し、特に、比較的少ない入出力端子を利用して自己試験を行うことができる自己試験回路に関する。本発明は、例えば、ウエハプロセス段階でのバーイン試験に好適な自己試験回路に関する。

【 0 0 0 2 】

【従来の技術】

近年のダイナミック RAM (DRAM) 等のメモリデバイスは、大容量化、大規模化されている。それに伴い、LSI テスタを利用してメモリ内部の不良ビットの検出を行う試験工程のコストが増大し、メモリデバイスのコストアップにつながっている。

【 0 0 0 3 】

図 1 は、従来のメモリデバイスの一般的構成図である。図 1 では、同期型の DRAM (SDRAM) を例にして、一般的構成が示されている。図 1 の例では、外部からクロック CLK がクロック入力バッファ 10 に供給され、内部クロック I-CLK が、各回路ブロックに供給される。また、外部からコマンド入力 CMD がコマンドデコーダ 12 に供給され、デコードされた外部コマンド CMD がコマンドラッチ回路 16 に保持され、その保持された外部コマンドに応じて、制御回路 18 がメモリコアであるメモリバンク MBNK 内の回路を制御する。また、外部からアドレス A0 ~ An がアドレスバッファ 14 に供給され、そのアドレス EXADD がメモリバンク MBNK に供給される。

【 0 0 0 4 】

メモリバンク MBNK 内は、例えば複数のメモリブロック BLK に分割され、各メモリブロック内には、ローデコーダ RDEC、メモリセルアレイ MCA、センスアンプ SA、コラムデコーダ CDEC などが設けられる。更に、メモリブロックには、データバス DB を介してセンスバッファ・ライトアンプ SB / WA が接続され、更に、データ入出力回路 DI / O を介して入出力端子 DQ に接続される。

【 0 0 0 5 】

更に、メモリバンクMBNK内には、図示しないが、不良ビットと置き換え可能な冗長セルを有する。従って、動作試験により検出された不良ビットが、この冗長セルと置き換えられ、良品チップとして出荷される。

【0006】

従来の不良ビットを検出する出荷前の試験工程では、LSIテストが、試験に必要な動作コマンド、アドレス、書き込みデータ等を、コマンド入力端子CMD、アドレス端子A0～An、入出力端子DQから供給し、入出力端子DQから出力される読み出しデータが期待通りのデータであるか否かのチェックを行う。従って、例えばデータ1を書き込んで、データ1が読み出せるか否かの試験を行う場合は、LSIテストが、アクティブコマンド、ライトコマンド、リセットコマンド、非選択コマンド等を利用して書き込みを行い、アクティブコマンド、リードコマンド、リセットコマンド、非選択コマンド等を利用して読み出しを行う。

【0007】

上記のLSIテストを利用した試験工程は、通常、後工程であるアセンブリ工程でLSIチップがパッケージ内に収納された後に行われる。

【0008】

【発明が解決しようとする課題】

しかしながら、上記の不良試験工程は、LSIテストを利用することが必要であり、また、メモリの大容量化に伴い長時間を要する。そこで、LSIテストを使用せずに上記不良試験を行うために、メモリデバイス内部に自己診断用の試験回路を内蔵させることが提案されている。この自己試験回路は、Built In Self Test(BIST)回路と称される（以下単にBIST回路）。

【0009】

但し、かかるBIST回路をどのような構成にすることが、最も適切であるかについては、いまだコンセンサスがとれていない状態である。例えば、メモリデバイス内にBIST回路を搭載して、単純に試験のパス（合格）、フェイル（不合格）だけを出力とするだけの場合は、不良ビットの数を知ることができず、冗長セルを利用した救済機能が利用可能か否かを判別することができない。或いは、BIST回路が不良ビットのアドレスを全て記憶しておく場合は、BIST回

路自体が大規模になり現実的ではない。

【 0 0 1 0 】

一方で、製造工程の後工程（アセンブリ工程）後に診断試験を行って、冗長セルで救済できない不良品を取り除くという従来の方法では、デバイスの低コスト化に十分寄与しない。冗長セルを利用して不良品を救済することは、不良品を良品に変えることができ、ある程度の低コスト化に寄与する。しかし、不良試験をアセンブリ工程後に行うと、最終的に不良品となるデバイスのアセンブリ工程のコスト分が無駄になっている。

【 0 0 1 1 】

かかる問題を解決するために、製造工程の前工程（ウエハレベル）で、バーイン試験（加速試験）を行うことが提案されている。しかしながら、ウエハ段階での加速試験用のテストは、利用できるプローブ数が少ないので、従来の L S I テスタのような複雑なファンクション試験を行うことは困難である。従って、ウエハレベルでのバーイン試験においても利用できる自己試験回路をメモリデバイス内に内蔵させることが望まれる。

【 0 0 1 2 】

そこで、本発明の一つの目的は、メモリデバイスに内蔵され、冗長セルを利用した不良品の救済に適した自己試験回路を提供することにある。

【 0 0 1 3 】

また、本発明の別の目的は、メモリデバイスに内蔵され、少ない外部端子によって動作可能な自己試験回路を提供することにある。

【 0 0 1 4 】

更に、本発明の別の目的は、メモリデバイスに内蔵され、ウエハ段階でのバーイン試験に利用可能な自己試験回路を提供することにある。

【 0 0 1 5 】

更に、本発明の別の目的は、上記の自己試験回路を内蔵するメモリデバイスを提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、メモリデバイス内に内蔵され、外部からの試験活性化信号に応答して活性化する自己試験回路である。この自己試験回路は、外部からの試験活性化信号に応答して活性化し、試験動作コマンドを発生し、試験アドレスを発生し、試験データを発生する。更に、自己試験回路は、試験データをメモリセルに書き込んだ後に、そのメモリセルから読み出した読み出しデータが、書き込んだ試験データと同じか否かを比較し、その比較結果を蓄積する。そして、その比較結果情報が外部に出力される。

【 0 0 1 7 】

自己試験回路を内蔵するメモリデバイスには、好ましくは、自己試験用外部端子が設けられる。この自己試験用外部端子から試験活性化信号を供給し、試験用のコマンドを供給し、比較結果情報を出力することができる。

【 0 0 1 8 】

不良試験には、例えば、（１）アドレスをインクリメントしながら所定の試験データを全てのメモリセルに書き込んで、その後全てのメモリセルを読み出して、読み出しデータが試験データと同じであることをチェックするスキャンパターンや、（２）アドレスをインクリメントしながら所定の試験データを全てのメモリセルに書き込んで、その後全てのメモリセルを読み出しながら反転試験データを書き込んで、次にアドレスをデクリメントしながら全てのメモリセルを読み出しながら再度反転試験データを書き込んで、最後にアドレスをインクリメントしながら全てのメモリセルを読み出すマーチパターンなどがある。

【 0 0 1 9 】

これら不良検出用の試験のパターンは、基本的には読み出しと書き込みを繰り返す動作である。これらの試験パターンを自動的に行うために、上記の自己試験回路は、書き込みや読み出しの試験動作コマンドを発生する機能と、試験アドレスを発生する機能と、試験データを発生する機能と、読み出しデータが試験データと一致するか否かの比較機能とを有する。これにより、この内蔵された自己試験回路は、外部から限られた入出力端子を利用して、限られた信号を与えることにより、内部で自動的に自己試験を行う。

【 0 0 2 0 】

この自己試験回路は、好ましくは、メモリデバイス内の冗長セルを利用して歩留まりを向上させることができるように、比較結果情報として、冗長セルにより救済可能か否かの情報を出力することができる。例えば、比較結果を蓄積する回路は、不良ビットの数をカウントする機能を有することが好ましい。或いは、比較結果を蓄積する回路は、不良ビットの数が冗長セルで救済できる数を超えているか否かの情報を出力する機能を有することが好ましい。

【0021】

更に、この自己試験回路は、好ましくは、試験の動作モードをある程度外部から指定することができるように、動作モード選択回路を有することが好ましい。この試験動作モードを組み合わせることにより、上記のマーチパターンやスキャンパターンの試験を実現することができる。その場合は、試験動作モードに従って、アクティブコマンド、リードコマンド、プリチャージコマンド、ディセーブルコマンド（非選択コマンド）等が、内部で生成され、メモリコアの動作が制御される。

【0022】

或いは、別の例としては、自己試験回路は、活性化に応答して、自動的に種々の試験動作モードに順次移行することができる動作モード選択回路を有することが好ましい。この場合は、外部から試験動作モードを指定する信号を与える必要もない。この例の場合は、外部からはスキャンパターンやマーチパターンなどの試験パターンを与えるだけで、その試験パターンに必要な試験用動作モードが順次選択される。

【0023】

好ましい実施例では、自己試験モードにおいて、自己試験回路が試験アドレス、試験データ及び試験動作コマンドを発生し、自己試験を実行する。従って、外部からのアドレス、書き込みデータ及び動作コマンドと、上記内部発生した試験アドレス、試験データ、試験動作コマンドとを切り替えるセレクタが設けられる。少なくとも一部のセレクタは、外部アドレス、書き込みデータ、動作コマンドを入力する入力回路内に設けられることが好ましい。かかる構成にすることで、バーイン試験時により多くの内部回路を試験対象にすることができるからである。

【 0 0 2 4 】

上記のようにセクタ回路を入力回路内に設ける場合、入力回路は、第 1 のクロックに同期してセクタにより切り替えられた入力信号を取り込み、自己試験回路は、前記第 1 のクロックより位相が進んだ第 2 のクロックに同期して、試験コマンド、試験アドレス、試験データ信号をセクタに供給する。これにより、入力回路は、内部で発生した試験コマンド、試験アドレス、試験データ信号を確実に取り込むことができる。

【 0 0 2 5 】

更に、上記のようにセクタ回路を入力回路内に設けると、通常の外部コマンドにより自己試験モードに切り替えられた場合、セクタが自己試験信号側に切り替わり、自己試験解除コマンドを入力することができなくなる。そこで、好ましい実施例では、自己試験モードにおいて、所定の外部端子の状態に応答して、セクタの少なくとも一部が外部入力端子側に切り替わる構成を有する。

【 0 0 2 6 】

更に、別の実施例では、自己試験用入力端子から供給されるリセットコマンドに応答して、少なくともメモリアダプタやメモリ制御回路を含む内部回路にリセット信号が供給され、内部回路がリセットされる構成を有する。ウェハーレベルでのバーイン試験を行う時、試験用の端子として設けられた自己試験用入力端子からのリセットコマンドにより内部回路をリセットすることが必要である。その場合、自己試験回路自体はリセットされない。

【 0 0 2 7 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【 0 0 2 8 】

図 2 は、本実施の形態例におけるメモリデバイスの構成図である。図 2 に示されたメモリデバイスは、図 1 の従来例と同様のメモリ回路の構成に加えて、自己試験回路 BIST (Built In Self Test) が内蔵される。本実施の形態例における自

己試験回路BISTは、ウエハーレベルバーイン（以下単にWBI）工程で使用することを一つの前提にする。ウエハーレベルバーイン工程では、チップ当たりを利用できるプローブ数に制限があるので、かかるプローブ数に制限があっても、不良ビットの数を検出する自己診断を行うことが可能な自己試験回路BISTを説明する。但し、この自己試験回路BISTは、ウエハーレベルバーイン工程に限らず、アセンブリ工程後の試験工程においても利用することができる。

【 0 0 2 9 】

また、自己試験における試験動作モードには、例えば4種類ある。第1に、アドレスをインクリメントしながらデータを書き込むモード（MODE1）、第2に、アドレスをインクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込むモード（MODE2）、第3に、アドレスをデクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込むモード（MODE3）、第4にアドレスをインクリメントしながらメモリセルからデータを読み出すモード（MODE4）である。それ以外に、試験結果を外部に出力するモードも自己試験には必要である。上記の4つの試験動作モードを組み合わせることにより、様々な試験パターンを実現することができる。上記の詳細は後述する。

【 0 0 3 0 】

各試験動作モードを実現するためには、メモリデバイスの読み出しや書き込みについての動作コマンドを生成して、メモリデバイスに与える必要がある。例えば、SDRAM（Synchronous DRAM）を例にして説明すると、第1のモードMODE1では、各アドレスにおいて、アクティブコマンド、ライトコマンド、プリチャージコマンド、及びディセレクトコマンドを連続してメモリデバイスに与える必要がある。また、FCRAM（Fast Cycle RAM）の場合は、アクティブライト、アクティブリード等の動作コマンドを与える必要がある。メモリデバイスで通常動作に利用される動作コマンドが、自己試験回路で生成され、メモリの制御回路に供給される。

【 0 0 3 1 】

図2のメモリ回路の部分は、図1の従来例と同じであり、同じ引用番号を与え

ている。メモリコアであるメモリバンクMBNKには、図示しないが不良ビットと置き換えられる冗長メモリセルアレイが、通常のメモリセルアレイに隣接して設けられる。

【 0 0 3 2 】

図 2 に示された本実施の形態例の自己試験回路BISTにおいては、（１）外部からの活性化信号WBIZに応答して、自己試験回路BISTを活性化するためのWBI活性化回路 2 0、（２）外部からの動作モード入力信号BISTZに従って、試験動作モードを選択する試験動作モード選択回路 2 2、（３）試験動作モード信号 ϕ MODEに従って、制御信号やタイミング信号である試験クロック等生成するWBI制御回路 2 4、（４）試験動作モードに対応する試験動作コマンドWBI-CMDを発生するWBIコマンド発生回路 2 6、（５）試験動作モードに対応する試験アドレスWBI-ADDと試験データWBI-DATAを発生するWBIアドレス・データ発生回路 2 8、（６）メモリセルから読み出した出力データDOUTと試験データWBI-DATAとを比較して、異なる場合にフェイル信号 ϕ Fを生成するデータ比較部 3 0、（７）フェイル信号 ϕ Fの発生回数を試験結果情報としてカウントするフェイルビットカウンタ 3 4、（８）パラレルシリアル変換回路 3 4、及び（９）そのシリアルデータを出力するWBI出力バッファ 3 6とを有する。

【 0 0 3 3 】

上記の試験動作コマンドWBI-CMDは、セクタ 4 0 を介して、メモリデバイス内の制御回路 1 8 に供給される。同様に、試験アドレスWBI-ADDは、セクタ 4 1 を介して、メモリデバイス内のメモリコア（メモリバンク）MBNKに供給され、試験データWBI-DATAは、セクタ 4 2 を介してライトアンプWAに供給される。これらのセクタ 4 0、4 1、4 2 は、試験制御回路 2 4 が各試験動作モード時に発生するスタート信号 ϕ STARTにより、自己試験回路BIST側からの各信号に切り替えられる。通常動作時は、コマンドラッチ 1 6 からの外部コマンドCMD、アドレスバッファ 1 4 からの外部アドレスEXADD、データ入出力回路DI/Oからの入力データDINが、それぞれ選択されてメモリコア等に供給される。

【 0 0 3 4 】

従って、通常の動作時には、各セクタでは信号 a 側が選択されて、通常の動

作が外部動作コマンドCMD、外部アドレスEXADD、入力データDINに従って行われる。

【 0 0 3 5 】

そして、例えばウエハーレベルバーイン試験においては、活性化信号WBIZの供給により、WBI活性化回路 2 0 が活性化信号 ϕ WBI を生成し、試験動作モード選択回路 2 2 と WBI 制御回路 2 4 を活性化する。試験動作モード選択回路 2 2 は、外部からシリアルに入力され WBI 入力バッファ 2 1 を介して与えられるモード入力信号 BISTZ をデコードして、試験動作モードを選択する。即ち、試験動作モード選択回路 2 2 は、試験動作モード信号 ϕ MODE を生成する。この試験動作モード信号 ϕ MODE に応答して、WBI 制御回路 2 4 は、試験動作の第 1 の試験クロック WBI-CLK1 と第 2 の試験クロック WBI-CLK2 とを、WBI コマンド発生回路 2 6 と WBI アドレス・データ発生回路 2 8 にそれぞれ供給すると共に、各試験動作モードのスタート信号 ϕ START を発生する。

【 0 0 3 6 】

このスタート信号 ϕ START により、各セクタ 4 0, 4 1, 4 2 は、信号 b 側を選択する。そして、WBI コマンド発生回路 2 6 は、第 1 の試験クロック WBI-CLK1 のタイミングで、試験動作モードに応じた試験動作コマンド WBI-CMD を発行する。また、WBI アドレス・データ発生回路 2 8 は、第 2 の試験クロック WBI-CLK2 のタイミングで、試験動作モードに応じた試験アドレス WBI-ADD と試験データ WBI-DATA を発生する。これらの試験動作コマンド、試験アドレス、試験データの供給に応答して、メモリ回路側は、試験動作モードに応じた読み出し動作や書き込み動作を実行する。データ比較部 3 0 では、メモリセルから読み出された出力データ DOUT が、書き込んだ試験データ WBI-DATA と比較され、不一致の時のフェイル信号 ϕ F が、カウンタ 3 2 でカウントされる。そのカウント値は、パラレル・シリアル変換され、試験出力バッファ 3 6 により、信号端子 BISTZ からシリアルに出力される。

【 0 0 3 7 】

上記の活性化信号 WBIZ が供給される外部端子と、信号端子 BISTZ とは、例えばウエハーレベルバーイン試験時にのみ利用される特別の外部端子である。これら

の端子WBI、BISTZとクロック端子CLKと電源端子だけが、WBI試験時に必要な端子であり、自己試験回路BISTは、プローブ数の制限に応えることが出来る構成である。

【 0 0 3 8 】

次に、自己試験工程のエントリーと試験結果情報の出力とについて説明する。図 3 は、WBI活性化回路、WBI入力バッファ、及びWBIモード選択回路を示す回路図である。また、図 4 は、自己試験工程へのエントリー時の動作タイミングチャート図であり、図 5 は、試験結果情報の出力時の動作タイミングチャート図である。

【 0 0 3 9 】

WBI活性化回路 2 0 は、活性化信号が供給される端子WBIZをグランドVssに接続する抵抗 4 5 と、インバータ 4 6, 4 7 を有する。従って、端子WBIZがオープン状態の時は、抵抗 4 5 によりWBI活性化信号 ϕ WBIはLレベルになっていて、WBI入力バッファ 2 1 内のNANDゲート 4 8, 4 9 は閉じている。Hレベルの活性化信号WBIZが与えられると、内部のWBI活性化信号 ϕ WBIはHレベルになり、WBI入力バッファ 2 1 内のNANDゲート 4 8, 4 9 が開いた状態になり、クロックI-CLKとモード入力信号BISTZとをそれぞれ通過させる。従って、自己試験中時は、外部からの活性化信号WBIZがHレベルに維持される。

【 0 0 4 0 】

WBIモード選択回路 2 2 は、クロックI-CLKに同期して、モード入力信号BISTZをシリアルに入力し、デコードして、対応するWBIモード信号 ϕ MODEを生成する。その為に、WBIモード選択回路 2 2 は、WBI入力バッファ 2 1 を経由でシリアル転送されるモード入力信号BISTZ が供給されるシフトレジスタ 5 2 と、その複数ビットのモード入力信号BISTZ を転送するトランスファーゲート 5 4 と、ラッチ回路 5 6 と、デコーダ 5 8 とを有する。

【 0 0 4 1 】

モード入力信号BISTZ は、図 4 に示される通り、1ビットのエントリーコード 6 9 と5ビットのモードコード 7 0 で構成される。自己試験工程の各試験モードにエントリーするために、エントリーコード 6 9 を「1」にして、それ以降にモ

ードコード70がシリアルに供給される。モードコード70は、図4の表に示される通り、複数の試験動作モードに対応して設定される。例えば、第2の試験動作モードMODE2の場合は、モード入力信号BISTZとして、「110001」がシフトレジスタ52に入力される。従って、6ビット全てがシフトレジスタ52に供給されると、転送パルス発生部62が転送信号S62を発生し、トランスファークラック54がシフトレジスタ52内のモード入力信号BISTZのモードコード70をラッチ回路56に転送する。その後、転送信号S62に反応して、リセットパルス発生部60がリセット信号S60を発生し、シフトレジスタ52はリセットされる。ラッチ回路56にラッチされたモードコードは、デコーダ58によりデコードされ、図4の表に示す様に、対応する試験動作モード信号φMODEのいずれかをHレベルにする。

【0042】

各試験動作モードが実行されると、終了信号END1,END2のいずれかがHレベルのパルスになり、リセット信号S65によりラッチ回路56の状態がラッチされ、試験動作モード信号φMODEはいずれもLレベルになる。

【0043】

図5は、試験結果情報の出力時の動作タイミングチャート図である。期間t0において、モード入力信号BISTZとして「110010」が供給されると、図4の対応表にある通り、モードコード「10010」に対応する出力モードOUTPUTがHレベルになる。試験動作モード信号OUTPUTは、3クロック遅延回路66とNORゲート67にも供給され、モード入力制御信号S68がHレベルになる。この信号S68のHレベルにより、NORゲート50が閉じた状態になり、モード入力信号BISTZの入力を禁止する。即ち、期間t3において、モード入力信号BISTZの入力は、ディスエイブルになる。期間t3は、出力モード信号OUTPUTがLレベルになった後の3クロックの期間t2においても、入力禁止状態を継続する。

【0044】

更に、自己試験工程において、入力端子BISTZは出力端子としても使用される。従って、期間t3のうち、最初の3クロック期間t1と最後の3クロック期間t2は、入力も出力も禁止される期間となり、端子BISTZでの入力と出力の競合

が回避される。即ち、期間 t_1 、 t_2 では、入力と出力との切替のために、端子 BISTZ は H インピーダンス状態にされる。

【 0 0 4 5 】

図 5 に示される通り、WBI 出力バッファ回路 3 6 は、端子 BISTZ から、出力認識用の H レベル信号「1」と、その後に続くフェイルビットカウンタ 3 2 のカウント値をシリアルに出力する。パラレルシリアル変換回路 3 4 からの終了信号 END2 が供給されると、WBI モード選択回路 2 2 内では、NOR ゲート 6 4 とインバータ 6 5 を介してリセット信号 S 6 5 がラッチ回路 5 6 に与えられ、ラッチ状態がリセットされる。それに伴い、出力モード信号 OUTPUT が L レベルになり、モード入力制御信号 S 6 8 は、3 クロック期間 t_2 後に L レベルになり、モード入力信号 BISTZ の入力が許可される。

【 0 0 4 6 】

次に、試験パターンと、試験動作モードと、それに伴う試験動作コマンドについて説明する。図 6 は、試験パターンの一例であるマーチの動作を示す図である。マーチは、前述した 4 つの試験動作モード MODE1, 2, 3, 4 と、出力モード OUTPUT を順番に実行する試験パターンである。

【 0 0 4 7 】

即ち、マーチでは図 6 に示される通り、最初に、アドレスをインクリメントしながらデータを書き込む第 1 のモード MODE1 を実行し、次に、アドレスをインクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込む第 2 のモード MODE2 を実行し、次に、アドレスをデクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込む第 3 のモード MODE3 を実行し、次に、アドレスをインクリメントしながらメモリセルからデータを読み出す第 4 のモード MODE4 を実行する。そして、最後に、出力モード OUTPUT で、フェイルビットカウンタ 3 2 に蓄積した不良ビット情報を出力する。

【 0 0 4 8 】

図 6 には、各試験動作モードでの試験データ WBI-DATA の例が示される。(1) が表パターンとすると、(2) はその反転の裏パターンである。表パターン (1) の場合は、例えば図示されるような「0」と「1」のチェッカパターンが、隣

接するメモリセルに書き込まれ（図中W）、または読み出される（図中R）。第1のモードMODE1で書き込まれた試験データWBI-DATAは、第2のモードMODE2で読み出され、その反転データが書き込まれる。更に、第3のモードMODE3では、第2のモードMODE2で書き込まれた反転データが読み出され、その反転データが書き込まれる。そして、最後の第4のモードMODE4では、その反転データが読み出される。各モードでの試験アドレスWBI-ADDは、図6に示される通り、順番にインクリメント、インクリメント、デクリメント、インクリメントである。

【0049】

マーチパターンでは、上記の表パターンだけで4つのモードMODE1～4を実行する場合と、上記表パターン及び裏パターンでそれぞれ4つのモードMODE1～4を実行する場合とがある。従って、表パターンだけで試験が行われると、メモリコア内に1ビットの不良がある場合は、4回の試験動作モードの中の3回のREAD時の1回づつ不良が検出されて、合計で3回フェイル信号 ϕF が生成される。表パターンと裏パターンの両方についてそれぞれ4回の試験動作モードを実行すると、合計で6回フェイル信号 ϕF が生成される。

【0050】

図7乃至図10は、4つの試験動作モードの動作タイミングチャート図である。図7に示された第1のモードMODE1では、試験アドレスWBI-ADDをインクリメントしながら、メモリセルにデータWBI-DATAを書き込む。その為に、クロックI-CLKに同期した第1の試験クロックWBI-CLK1に同期して、試験動作コマンドのアクティブACTV、ライトWR、プリチャージPRE、非選択DSELが順番に生成される。同時に、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2に同期して、試験アドレスWBI-ADDがA0から順にインクリメントされる。また、試験データWBI-DATAは、図6に示した所定のデータが生成される。第1のモードMODE1では、読み出し動作は行われないので、リードイネーブル信号 $\phi RENB$ はLレベルのままであり、シリアル・パラレル変換回路34とWBI出力バッファ36とに供給される第3の試験クロックWBI-CLK3もLレベルのままである。

【0051】

図8に示された第2のモードMODE2では、試験アドレスWBI-ADDをインクリメン

トしながら、メモリセルからデータWBI-DATAを読み出すと共に、そのメモリセルに反転データWBI-DATAを書き込む。その為に、クロックI-CLKに同期した第1の試験クロックWBI-CLK1に同期して、試験動作コマンドのアクティブACTV、リードRD、プリチャージPRE、非選択DSELが順番に生成されて読み出しが行われ、更に、アクティブACTV、ライトWR、プリチャージPRE、非選択DSELが順番に生成されて書き込みが行われる。

【0052】

上記の読み出しと書き込みとが、クロックI-CLKを1/8に分周した第2の試験クロックWBI-CLK2に同期して交互に繰り返される。それに伴い、リードイネーブル信号 ϕ RENBも、第2の試験クロックWBI-CLK2に同期して、交互にHレベル（読み出し可能）とLレベル（読み出し禁止）を繰り返す。また、試験アドレスWBI-ADDは、第2の試験クロックWBI-CLK2に同期して、A0から順番にインクリメントされる。そして、試験データWBI-DATAは、読み出し可能状態（ ϕ RENB=H）では、期待値として第1のデータ「0」に、書き込み状態（ ϕ RENB=L）では、書き込みデータとしてその反転の第2のデータ「1」にされる。尚、第1のデータ、第2のデータは、例えば、図6において示したそれぞれ反転するチェッカパターンである。

【0053】

図9に示された第3のモードMODE3では、試験アドレスWBI-ADDをデクリメントしながら、メモリセルからデータWBI-DATAを読み出すと共に、そのメモリセルに反転データWBI-DATAを書き込む。従って、第2のモードMODE2と異なるところは、第2の試験クロックWBI-CLK2に同期して試験アドレスWBI-ADDがAnからデクリメントされることと、試験データWBI-DATAが、読み出し可能状態（ ϕ RENB=H）では、期待値として第2のデータ「1」に、書き込み状態（ ϕ RENB=L）では、書き込みデータとしてその反転の第1のデータ「0」にされることである。

【0054】

図10に示された第4のモードMODE4では、試験アドレスWBI-ADDをインクリメントしながら、メモリセルからデータWBI-DATAを読み出す。従って、第1の試験クロックWBI-CLK1に同期して、アクティブACTV、リードRD、プリチャージPRE、

非選択DSELが順番に生成されて読み出しが行われる。それと共に、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2に同期して、試験アドレスWBI-ADDがA0から順にインクリメントされる。また、試験データWBI-DATAは、第3のモードMODE3で書き込んだデータが期待値として生成される。第4のモードMODE4では、読み出し動作のみが行われるので、リードイネーブル信号 ϕ RENBはHレベルのままであり、シリアル・パラレル変換回路34とWBI出力バッファ36とに供給される第3の試験クロックWBI-CLK3はLレベルのままである。

【0055】

図11に示される出力モードOUTPUTでは、クロックI-CLKに同期した第3の試験クロックWBI-CLK3が、出力モード信号OUTPUTがHレベルになってから、3クロック周期後から生成され、パラレル・シリアル変換回路34とWBI出力バッファ36とがそれに同期して動作して、フェイルビットカウンタ32のカウント値をシリアルに出力する。

【0056】

図12は、WBI制御回路の回路図である。WBI制御回路24は、WBIモード選択回路22からの試験動作モード信号 ϕ MODEに応答して、試験モード開始信号 ϕ STARTと、コマンド発生用の第1の試験クロックWBI-CLK1と、アドレスやデータ発生用の第2の試験クロックWBI-CLK2と、試験結果出力用の第3の試験クロックWBI-CLK3と、リードイネーブル信号 ϕ RENBと、データ比較タイミングである比較タイミング信号 ϕ COMPとを発生する。

【0057】

第1のモードMODE1の時は、図7に示した通り、試験モード開始信号 ϕ STARTがモード信号MODE1に응答してHレベルになり、第1の試験クロックWBI-CLK1がクロックI-CLKに同期して生成され、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2が生成される。

【0058】

第1のモード信号MODE1がHレベルになると、NORゲート71の出力がLレベルになり、インバータ72を介して試験モード開始信号 ϕ STARTがHレベルになる。この開始信号 ϕ STARTのHレベルがフリップフロップ73に保持され、フリッ

フリップフロップ 73 の出力 Q は H レベルになる。従って、その後は、内部クロック I-CLK に同期した第 1 の試験クロック WBI-CLK1 が生成される。また、第 1 の試験クロック WBI-CLK1 は、 $1/4$ 分周器で $1/4$ に分周され、セクタ 78 を介して第 2 の試験クロック WBI-CLK2 として出力される。

【 0 0 5 9 】

第 1 のモード MODE1 の場合は、書き込み動作であるので、リードイネーブル信号 ϕ RENB は L レベルのままである。従って、NAND ゲート 87 の出力は H レベルに維持され、比較タイミング信号 ϕ COMP は L レベルのままである。

【 0 0 6 0 】

第 2 のモード MODE2 の時は、図 8 に示した通り、試験モード開始信号 ϕ START がモード信号 MODE2 に応答して H レベルになり、第 1 の試験クロック WBI-CLK1 がクロック I-CLK に同期して生成され、クロック I-CLK を $1/8$ 分周した第 2 の試験クロック WBI-CLK2 が生成される。また、リードイネーブル信号 ϕ RENB が、読み出しのタイミングで H レベルになり、比較タイミング信号 ϕ COMP も H レベルになる。

【 0 0 6 1 】

第 2 のモード信号 MODE2 が H レベルになると、NOR ゲート 71 とインバータ 72 を介して、モード開始信号 ϕ START が H レベルになり、第 1 の試験クロック WBI-CLK1 が生成される。第 2 のモード信号 MODE2 が H レベルであるので、NOR ゲート 79 及びインバータ 80 を介して、H レベルのセクタ信号 S80 がセクタ 78 に供給され、ノード N2 が選択され、 $1/4$ 分周器 76 及び $1/2$ 分周器 77 により第 1 の試験クロック WBI-CLK1 を $1/8$ 分周した第 2 の試験クロック WBI-CLK2 が生成される。

【 0 0 6 2 】

そして、NAND ゲート 81 と 83 を介して、第 2 の試験クロック WBI-CLK2 に同期して（ノード N2 の信号を利用して）、リードイネーブル信号 ϕ RENB も H レベルになる。更に、リードイネーブル信号 ϕ RENB が H レベルの時に、内部クロック I-CLK の立ち下がリエッジに同期したパルスが、 $1/2$ 分周機能を持つフリップフロップ 84 と、立ち下がリエッジでパルスを生成するインバータ 85 及び NOR ゲート 86 と、NAND ゲート 87 及びインバータ 88 とを介して、比較タイミング信号

φ COMPとして出力される。

【 0 0 6 3 】

第 3 のモードMODE3の場合は、WBI制御回路 2 4 は、第 2 のモードMODE2の場合と同じ動作をする。

【 0 0 6 4 】

第 4 のモードMODE4の場合は、図 1 0 に示した通り、試験モード開始信号 φ STA RTがモード信号MODE4に応答してHレベルになり、第 1 の試験クロックWBI-CLK1 がクロック I-CLKに同期して生成され、クロック I-CLKを 1 / 4 分周した第 2 の試験クロックWBI-CLK2が生成される。

【 0 0 6 5 】

第 4 のモード信号MODE4がHレベルになると、NORゲート 7 1 の出力がLレベルになり、インバータ 7 2 を介して試験モード開始信号 φ STARTがHレベルになる。この開始信号 φ STARTのHレベルがフリップフロップ 7 3 に保持され、フリップフロップ 7 3 の出力QはHレベルになる。従って、その後は、内部クロック I-CLKに同期した第 1 の試験クロックWBI-CLK1が生成される。また、第 1 の試験クロックWBI-CLK1は、1 / 4 分周器で 1 / 4 に分周され、セクタ 7 8 を介して第 2 の試験クロックWBI-CLK2として出力される。そして、第 4 のモード信号MODE4 がHレベルになるので、インバータ 8 2 とNANDゲート 8 3 を介して、リードイネーブル信号 φ RENBがHレベルに維持される。それに伴い、比較タイミング信号 φ COMPが、内部クロック I-CLKの 2 クロック毎に出力される。

【 0 0 6 6 】

出力モードOUTPUTの時は、モード信号OUTPUTがHレベルになる。そのHレベルがフリップフロップ 9 0 と 9 1 により、内部クロック I-CLKに同期して取り込まれる。従って、モード信号OUTPUTがHレベルになってから、2 クロック後にノードN3がHレベルになり、NANDゲート 9 2 の出力はLレベル、ノードN4がHレベルになる。このノードN4のHレベルが、次の内部クロック I-CLKの立ち上がりエッジに同期して、フリップフロップ 9 4 に取り込まれ、第 3 の試験クロックWBI-CLK3の生成が開始される。

【 0 0 6 7 】

即ち、これらの回路によって、図 5 に示した期間 t_1 だけ、WBI 出力バッファ回路 36 の動作が遅延される。そして、この期間 t_1 で、外部端子 BISTZ の入力から出力への切替が行われる。また、これらの回路は、出力モード信号 OUTPUT が L レベルに下がると、NAND ゲート 92 により即検出され、次の内部クロック I-CLK の立ち上がりエッジでフリップフロップ 94 に取り込まれ、第 3 の試験クロック WBI-CLK3 の生成が停止される。

【 0 0 6 8 】

図 13 は、WBI コマンド発生回路の回路図である。WBI コマンド発生回路は、書き込みまたは読み出しを指示する試験動作コマンド WBI-CMD を発生し、メモリ制御回路 18 に供給する試験動作コマンド発生回路である。WBI コマンド発生回路 26 は、アクティブコマンド ACTV、リードコマンド RD、ライトコマンド WR、プリチャージコマンド PRE、及び非選択コマンド DESEL の信号セット ($/CS$, $/RAS$, $/CAS$, $/WE$) をそれぞれ出力するコマンドセット 100 ~ 104 と、それらのコマンドセットからの信号セットを、動作モード開始信号 ϕ START が H レベルの間、第 1 の試験クロック WBI-CLK1 の立ち上がりエッジに同期して、順番に選択するスイッチ制御回路 105 とを有する。スイッチ制御回路 105 からの制御信号により、スイッチ SW1 ~ SW4 が順番にオン状態にされる。また、リードコマンドとライトコマンドとの選択は、リードイネーブル信号 ϕ RENB に従って、スイッチ SW5 により行われる。

【 0 0 6 9 】

この WBI コマンド発生回路 26 によって、図 7 ~ 図 10 に示した試験動作コマンド WBI-CMD が、コマンド発生用のクロックである第 1 の試験クロック WBI-CLK1 に同期して循環的に生成される。この試験動作コマンド WBI-CMD は、図 2 に示される通り、セレクタ 40 を介して、メモリ回路の制御回路 18 に供給される。

【 0 0 7 0 】

図 14 は、試験アドレス・データ発生回路の回路図である。また、図 15 は、その試験アドレス・データ発生回路の動作タイミングチャート図である。この WBI アドレス・データ発生回路 28 は、試験動作モード開始信号 ϕ START が H レベルになると、インバータ 106 を介して生成されるリセット信号 S106 が L レベ

ルになり、バイナリカウンタ 1 0 7 が動作を開始する。即ち、バイナリカウンタ 1 0 7 は、試験アドレスと試験データ発生用の第 2 の試験クロック WBI-CLK2 をカウントする。この第 2 の試験クロック WBI-CLK2 は、第 1 及び第 4 の試験モード MODE1, 4 の時は、内部クロック I-CLK を 1 / 4 分周したクロックであり、第 2 及び第 3 の試験モード MODE2, 3 の時は、内部クロック I-CLK を 1 / 8 分周したクロックである。

【 0 0 7 1 】

そして、このバイナリカウンタ 1 0 7 のカウント値、又はその補数（反転値）が、試験アドレス WBI-ADD として出力される。バイナリカウンタ 1 0 7 のカウント値 (a) 及び反転値 (b) は、第 3 のモード信号 MODE3 により選択される。即ち、第 3 のモード信号 MODE3 が H レベルの時は、試験アドレス WBI-ADD はデクリメントされる必要があるので、反転値 (b) 側が選択される。それ以外のモード MODE1, 2, 4 の場合は、第 3 のモード信号 MODE3 が L レベルになり、非反転値 (a) が選択されて、試験アドレス WBI-ADD はインクリメントされる。

【 0 0 7 2 】

バイナリカウンタ 1 0 7 は、最上位ビット MSB が 1 になると、第 1 の試験動作モード終了信号 END1 を H レベルにする。

【 0 0 7 3 】

また、バイナリカウンタ 1 0 7 の最下位の 2 ビットは、データ発生回路 1 0 9 に供給され、試験データ WBI-DATA 生成のためのアドレスとして利用される。即ち、図 6 に示した通り、試験データ WBI-DATA は、メモリセルの位置に応じたチェックパターンを使用する。そのためには、対象となるメモリセルの位置をアドレスの最下位 2 ビットで認識することが必要になる。

【 0 0 7 4 】

また、データ発生回路 1 0 9 は、第 2 の試験モード MODE2 時と、第 3 の試験モード MODE2 時とでは、反転する試験データ WBI-DATA を生成する必要がある。更に、第 1 及び第 4 の試験モード MODE1, 4 の時は、試験データを反転する必要はない。そのために、第 2 のモード MODE2 の場合は、インバータ 1 1 0 により反転された第 2 の試験クロック WBI-CLK2 が、NAND ゲート 1 1 2, 1 3 を介して、ノード N1

0からデータ発生回路109に供給される。また、第3のモードMODE3の場合は、NANDゲート111, 113を介して、第2の試験クロックWBI-CLK2がノードN10からデータ発生回路109に供給される。ノードN10と下位2ビットの試験アドレスとに応じて、データ発生回路109は、チェッカパターンの試験データWBI-DATAを生成する。この試験データの例が、図15(C)に示される。ワード線WLとビット線BLに対して、「0110」または「1001」が試験データの組み合わせである。バーンイン試験のようにメモリセル部に最大のストレスを加えるためには、図15のWBIデータの例に示すように、メモリセルの物理的な配列から見てチェッカーボード状にデータを書き込むのがよい。

【0075】

以上の試験コマンド発生回路26と試験アドレス・データ発生回路28によって、図7～図10に示した4つの動作モードを実現する試験コマンドWBI-CMDと試験データWBI-DATAとが生成されることが理解される。

【0076】

図16は、データ比較部、カウンタ、パラレル・シリアル変換部、及び試験出力バッファの構成図である。図17は、データ比較部の動作タイミングチャート図である。データ比較部30は、試験データWBI-DATAとメモリセルから読み出されたデータDOUTとを、ゲート113, 114からなるエクスクルーシブオア回路に入力して比較する。この回路例では、比較するためのタイミングクロックN13を、モード開始信号 ϕ STARTと比較タイミング信号 ϕ COMPとから生成する。但し、比較タイミング信号 ϕ COMPの代わりに、メモリ回路におけるデータバスDBからデータ入出力回路DI/Oに読み出しデータを転送するデータ転送信号を利用しても良い。

【0077】

エクスクルーシブオア回路で、比較の結果が不一致の場合は、フェイル信号 ϕ Fが発生し、フェイルビットカウンタ32を構成するバイナリカウンタ32でカウントされる。遅延回路115により遅延した制御クロックN12に同期して、このフェイル信号 ϕ Fが出力される。

【0078】

バイナリカウンタ 3 2 は、フェイル信号 ϕF をカウントアップし、オーバーフローすると、オーバーフロー信号 OF により、カウンタ値は全て 1 に強制的にセットされる。そして、それ以降のフェイル信号 ϕF のカウントアップは停止する。バイナリカウンタ 3 2 のカウンタ値は、不良ビットが検出された回数であり、自己試験の比較結果情報である。また、カウンタ値が全て 1 であることが、オーバーフローしたという試験結果情報になる。このカウンタ値は、バーイン試験におけるバーインストレス時間と不良ビット数との関係を管理するワイブル管理に利用される。

【 0 0 7 9 】

この試験結果の出力は、バイナリカウンタ 3 2 の各ビットをパラレルーシリアル変換回路 3 4 でシリアルデータに変換され、出力制御クロックである第 3 の試験クロック WBI-CLK3 に同期して、試験出力バッファ 3 6 からシリアルに出力される。パラレル・シリアル変換回路 3 4 は、シリアル出力を終了したら、出力モード動作が終了したことを示す第 2 の終了信号 END2 を発生する。

【 0 0 8 0 】

フェイルビットカウンタ 3 2 のビット数は、救済可能な最大不良ビット数に対応するフェイル回数を最大カウンタ値にすれば良い。それ以上を超える場合は、冗長セルによって救済できないので、もはや不良デバイスだからである。したがって、最大フェイル検出数を超えることが判明すると、自己試験工程自体を終了させることができる。

【 0 0 8 1 】

例えば、図 6 に示したマーチパターンの場合は、表データだけに対して試験を行うと、合計で 3 回の読み出しデータ比較が行われる。従って、フェイルビットカウンタ 3 2 のビット数は、（冗長によって救済できる最大アドレス数） \times 3 とする。バイナリカウンタ 3 2 は、この最大ビット数を超えた場合はオーバーフロー信号 OF を出す。つまり、フェイルビットカウンタ 3 2 は、最大救済数の 3 倍以上（裏パターン有りでは 6 倍以上）のビット数があれば良い。

【 0 0 8 2 】

[第 2 の実施の形態例]

図 1 8 は、第 2 の実施の形態例におけるメモリデバイスの構成図である。第 2 の実施の形態例は、クロック入力バッファ 1 0 の出力側に、クロック通倍回路 1 2 0 を備え、自己試験工程時には、外部から供給される比較的低速のクロック I-CLK2 を通倍したクロック CLK2 を、自己試験回路 BIST およびデバイス内部に供給する。すなわち、外部から例えば 1 0 MHz のクロック CLK の供給を受け、内部で 2 0 MHz に通倍して、内部回路を倍速動作させる。またこのとき、入出力回路 2 1、3 6 には通倍しないクロック I-CLK1 を供給し、外部とインターフェイスをおこなう。また通倍クロック I-CLK2 は、外部クロック CLK の 3 倍速、4 倍速等でもよい。

【 0 0 8 3 】

それ以外の構成は、図 2 に示した第 1 の実施の形態例と同じである。上記のクロック通倍回路 1 2 0 を設けたことにより、自己試験をクロック周波数が低い安価なテストで実施することができる。クロック通倍回路 1 2 0 は、例えば D L L 回路を利用して構成することができる。或いは、別の一般的な回路構成でもよい。

【 0 0 8 4 】

[第 3 の実施の形態例]

図 1 9 は、第 3 の実施の形態例における自己試験回路を内蔵するメモリデバイスの構成図である。第 3 の実施の形態例は、パッケージにアセンブリした後も、自己試験回路 BIST を用いて試験が出来るようにした例である。そのために、WBI 活性化回路 2 0 には、ウェハーレベルでのバーイン試験での活性化信号 WBIZ に加えて、更に、特別のコマンドでテストモードを選択するテストモード選択回路 1 2 6 からの第 2 の活性化信号 WBIZ2 が入力されている。いずれかの活性化信号 WBI Z、WBIZ2 が活性状態になると、テストモード選択回路 1 2 6 は、自己試験工程であることを検出して、内部の WBI 活性化信号 ϕ WBI を H レベルにする。

【 0 0 8 5 】

テストモード選択回路 1 2 6 は、外部からのコマンド入力 CMD やアドレス入力 A 0 ~ A_m の特定の組合せが入力されると第 2 の活性化信号 WBIZ2 を発生する。これにより、自己試験回路 BIST は、ウェハ状態では第 1 の実施の形態例と同様に活性化信号 WBIZ に応答して活性化し、アセンブリ後は、コマンド入力 CMD およびアドレ

ス信号の特別の組み合わせに応答して活性化する。

【 0 0 8 6 】

第 3 の実施例に対応した WBI 活性化回路の回路例を図 3 の左下に示す。二つの活性化信号 WBIZ、WBIZ2 のいずれが H レベルになっても、内部の WBI 活性化信号 ϕ WBI が H レベルになる。

【 0 0 8 7 】

第 3 の実施の形態例では、更に、セクタ 4 3 を設け、パラレル・シリアル変換回路 3 3 の出力を、メモリデバイスの I/O バッファを兼用して外部に出力する。従って、入出力端子 DQ0 は、通常動作状態では入出力端子として機能し、自己試験工程時では、カウンタ 3 2 の値である試験結果情報を出力する出力端子として機能する。こうすることにより、自己試験回路 BIST を利用した自己試験工程では、ウエハレベルでのバーイン試験では、活性化信号端子 WBIZ が特別に利用されるだけである。従って、ウエハへのプローブ数を更に制限することができる。

【 0 0 8 8 】

〔第 4 の実施の形態例〕

図 2 0 は、第 4 の実施の形態例における WBI 活性化回路と WBI モード選択回路の構成図である。第 4 の実施の形態例での WBI モード選択回路は、図 3 の変形例である。図 2 0 に示された WBI モード選択回路 2 2 は、フリップフロップ 1 3 4 ~ 1 3 8 を有し、それらのフリップフロップは、パルス発生回路 1 3 0 により WBI 活性化信号 ϕ WBI の立ち上がりエッジで生成されたパルスを、セット、リセット信号として入力し、パルス発生回路 1 3 2 により動作モード終了信号 END1,2 のいずれかの立ち上がりエッジで生成されたパルスを、データ取り込みクロックとして入力する。

【 0 0 8 9 】

従って、WBI 活性化信号 ϕ WBI が H レベルになると、フリップフロップ 1 3 4 ~ 1 3 8 が、試験モード信号 MODE1 → MODE2 → MODE3 → MODE4 → OUTPUT を、順番に自動的に生成する。この WBI モード選択回路を利用すれば、図 2, 3 のようなモード信号 BISTZ の入力を必要としないので、自己試験を更に簡単に実行することができる。

【 0 0 9 0 】

〔第 5 の実施の形態例〕

図 2 1 は、第 5 の実施の形態例における試験結果情報の出力部の例を示す図である。図 2 1 には、2 つの例が示される。自己試験回路 BIST は、出力部として、データ比較結果情報を何らかの形で蓄積する比較結果蓄積回路と、その比較結果情報を出力する試験出力回路とを有する。図 2 に示した第 1 の実施の形態例では、フェイルビットカウンタ 3 2、パラレルシリアル変換回路 3 4、試験出力バッファ 3 6 とを有し、カウンタ 3 2 のカウント値またはオーバーフロー状態の情報を出力する。

【 0 0 9 1 】

図 2 1 (A) の出力部は、データを比較した結果一致しなかったことを示す比較結果情報を、フェイル信号 ϕF として供給されて、その回数を蓄積するバイナリカウンタ 3 2 と、そのバイナリカウンタ 3 2 がオーバーフローした時に生成するオーバーフロー信号 OF を出力する出力回路 1 4 2 とを有する。従って、オーバーフローしたか否かの情報のみを出力する。従って、この出力部は、メモリ回路の冗長セルで救えるチップか救えないチップかを判定すればよい場合に利用される。

【 0 0 9 2 】

図 2 1 (A) の例では、オーバーフロー信号 OF は、最初 L レベルである。フェイル信号 ϕF が冗長可能な数以上発生すると、オーバーフロー信号 OF が H レベルになり、回路 1 4 0 によりそれ以降のフェイル信号 ϕF の入力を停止する。その後、出力制御信号 ϕOUT を入力すると、出力回路 1 4 2 がオーバーフロー信号 OF の情報を出力する。遅延回路 1 4 1 によって、出力制御信号 ϕOUT が 1 クロック遅延されてリセット信号 S 1 4 1 が生成され、バイナリカウンタ 3 2 はセットされる。

【 0 0 9 3 】

図 2 1 (B) の出力部の例は、冗長セルを利用する必要がない良品チップ、冗長セルで救えるチップ、冗長セルで救えないチップ、の 3 種類の識別情報を比較結果情報として出力する構成である。フェイル信号 ϕF が 1 度でも発生すると、N

ORゲート 1 4 4 とインバータ 1 4 5 を経由してレジスタ 1 4 6 の第 1 ビット B1 が H レベルになる。また、バイナリカウンタ 3 2 がオーバーフローすると、レジスタ 1 4 6 の第 2 ビット B0 も H レベルになる。従って、第 1 ビット B1 は、不良なしの良品チップか不良有りだが冗長セルで救済できるチップかの情報を有する。そして、第 2 ビット B2 は、冗長セルで救済できない不良チップかいないかの情報を有する。出力回路 1 4 8 が、この試験結果情報の出力を、例えば、出力制御信号 ϕ OUT に応答してレジスタ 1 4 6 の 2 ビット B0, B1 の順番にシリアルに行く。出力が、(B0, B1) = (0, 0) ならば良品、(0, 1) ならば冗長で救済可能、(1, 1) ならば冗長不可能と判定する。

【 0 0 9 4 】

図 2 1 に示された出力回路は、不良ビットの数を比較結果情報として出力することはできないが、その分回路構成が簡略化されている。また、出力制御回路として、必ずしも第 3 の試験クロック WBI-CLK3 を利用する必要はなく、何らかのパルス信号でよい。

【 0 0 9 5 】

〔第 6 の実施の形態例〕

図 2 2 は、第 6 の実施の形態例におけるメモリデバイスの構成図である。第 4 の実施の形態例における WBI 活性化回路と WBI モード選択回路（図 2 0）、および第 5 の実施の形態例におけるデータ出力回路（図 2 1）を用いれば、外部とのインタフェースにクロックは必要ない。そこで、第 6 の実施の形態例は、これらの回路を利用し、更に自己試験動作時に活性化するオシレータ OSC を搭載する。更に、自己試験動作時は、外部クロック CLK からオシレータ OSC が発生したクロックに切り替えるセクタ 1 5 0 を有する。

【 0 0 9 6 】

第 6 の実施例においては、活性化信号 WBIZ を印加すると、オシレータ OSC がクロック信号の発生を開始し、メモリ回路やその他の回路にセクタ 1 5 0 を介して供給する。また、WBI モード選択回路 2 2 が順次モード信号 ϕ MODE を発生し、それに従い各モードの試験が実施され、自己試験用の入出力端子 BISTZ より試験結果が出力される。よって、この場合は、外部からのクロック信号は必要ないので

、更に試験コストが安くなる。

【0097】

上記実施の形態例では、ウエハーレベルでのバーイン試験において利用されることを前提にして自己試験回路を説明した。しかし、この自己試験回路は、アセンブリされた後のパッケージレベルでのバーイン試験においても利用できる。いずれの試験でも、外部からは活性化信号やモード入力信号などを供給するだけで、メモリデバイス自身が内部の試験を行い、不良ビットの存在を検出することができる。

【0098】

更に、上記の実施の形態例の試験動作コマンドは、SDRAMやFCRAMの場合であり、それ以外のメモリデバイスの場合は、それに使用される動作コマンドが、試験動作コマンドとして生成される。

【0099】

〔第7の実施の形態例〕

図2、18、19、22に記載した第1、第2、第3、第6の実施の形態例では、外部からのコマンドCMDと試験動作コマンドWBI-CMDとの切り替えを行うセクタ40と、外部アドレスEXADDと試験アドレスWBI-ADDとの切り替えを行うセクタ41と、書き込み入力データDINと試験データWBI-DATAとの切り替えを行うセクタ42とが、それぞれの入力回路とメモリバンクMBNKとの間に設けられている。

【0100】

バーンイン試験は、デバイスにストレスを与えて初期不良を有するデバイスを排除するための試験である。よって、バーンイン試験においてできるだけ多くの回路を動作させることが望ましい。従って、アドレス、コマンド、データの入力回路に関して言えば、自己試験回路BISTで発生した試験アドレスWBI-ADD、試験動作コマンドWBI-CMD、試験データWBI-DATAを、なるべく外部入力端子の近くから入力する構成にすれば、バーンイン試験中にストレスをかけて動作させる回路をより多くすることができる。

【0101】

従って、第 7 の実施の形態例では、セレクトを、外部入力端子に近いところに配置する。但し、入力端子に直接そのようなセレクト回路を接続すると、入力端子容量が増加する等の悪影響がある。そこで、セレクトを入力回路内に設ける。具体的な例では、入力回路の入力バッファとラッチ回路の間にセレクトを設ける。

【 0 1 0 2 】

図 2 3 は、第 7 の実施の形態例における入力回路の構成を示す図である。図 1 9 に示した第 3 の実施の形態例との対比で図 2 3 の構成を説明すると、アドレスバッファであるアドレス入力回路 1 4 が、外部端子に接続され外部からの信号を入力し波形整形や電圧レベル変換を行う入力バッファ 1 4 A と、入力バッファ 1 4 A の出力をクロック I-CLK の立ち上がりエッジに同期してラッチするラッチ回路 1 4 B で構成される。そして、入力バッファ 1 4 A とラッチ回路 1 4 B との間に、自己試験回路 BIST が生成するスタート信号 ϕ START に応答して、切り替えを行うセレクト 4 1 が設けられる。図 2 3 には示されないが、コマンドデコーダ 1 2 の前段に設けられるコマンド入力回路 1 1 およびデータ入力回路 1 3 も同様にセレクトがラッチ回路の前段に設けられる。

【 0 1 0 3 】

アドレス入力回路 1 4 を例に説明すると、入力バッファ 1 4 A は、カレントミラー回路などで構成され、増幅機能や内部電源にレベル変換する機能を有する。また、ラッチ回路は、通常動作時は、外部からのアドレス $A_0 \sim A_m$ をクロック I-CLK の立ち上がりエッジに同期してラッチし、自己試験時は、自己試験回路 BIST からの試験アドレス WBI-ADD をクロック I-CLK の立ち上がりエッジに同期してラッチする。コマンド入力回路 1 1，データ入力回路 1 3 も同様の動作である。

【 0 1 0 4 】

このように構成することで、自己試験時において、ラッチ回路 1 4 B 以降の内部回路の動作をストレス試験の対象にすることができ、より正確なバーイン試験を行うことができる。

【 0 1 0 5 】

但し、このようにセレクト回路を入力端子近傍に設けると、次の 2 つの問題が

ある。第 1 に、セクタ回路の後段にクロック I-CLK に同期してラッチするラッチ回路があるので、自己試験回路 BIST が発生する試験アドレス WBI-ADD、試験動作コマンド WBI-CMD、試験データ WBI-DATA を発生させるタイミングを入力回路のラッチのタイミングに整合させる必要がある。第 2 に、図 2 3 の第 3 の実施の形態例において説明した、アセンブリ工程後のパッケージに組み立てられた後に外部コマンドによって自己試験回路 BIST を活性化してバーイン試験をする機能を有する場合、通常動作時に誤って自己試験モードになると、セクタ回路が試験側に切り替わっているので、外部コマンド端子から自己試験解除コマンドを入力させることができなくなる。

【 0 1 0 6 】

上記第 1 の問題点は、図 2 3 に示される通り、内部クロック I-CLK を反転した第 2 の内部クロック I-CLK2 を生成するインバータ 1 5 を設けることで解決する。第 2 の内部クロック I-CLK2 は、ラッチタイミングを制御する内部クロック I-CLK に対して、1 8 0 度位相が進んでいる。従って、自己試験回路 BIST は、第 2 の内部クロック I-CLK2 の立ち上がりエッジで試験アドレス WBI-ADD、試験動作コマンド WBI-CMD、試験データ WBI-DATA を生成し、その後の内部クロック I-CLK の立ち上がりエッジに同期して、ラッチ回路 1 4 B がセクタで切り替えられた信号をラッチすることができる。

【 0 1 0 7 】

図 2 4 は、試験アドレスなどの発生と取り込みの関係を示すタイミングチャート図である。デバイスは、クロック I-CLK に同期して外部信号を取り込むので、試験アドレス等の入力信号は、この内部クロック I-CLK に対してセットアップタイムとホールドタイムが確保されたタイミングで入力回路に供給される必要がある。このために、インバータ 1 5 により反転クロック I-CLK2 を生成して、自己試験回路 BIST が、内部クロック I-CLK のダウンエッジに同期して動作するようにする。つまり、内部クロック I-CLK のダウンエッジに同期して自己試験回路 BIST が試験アドレス等を生成し供給するので、それに続く内部クロック I-CLK のアップエッジに同期して、ラッチ回路 1 4 B が試験アドレス等をラッチすることができる。

【 0 1 0 8 】

この例では第 2 の内部クロック I-CLK2は、内部クロック I-CLKの反転クロックとしたが、内部クロック I-CLKを所定の時間だけ進ませたクロックを第 2 の内部クロック I-CLK2としてもよい。但し、反転クロックを使用すればインバータ 1 5 を設けるだけでよいので、回路的にはもっともシンプルである。

【 0 1 0 9 】

上記の第 2 の問題点については、外部コマンドとして自己試験エントリコマンドを入力し、内部を自己試験モードにして、セクタ回路 4 1 等が自己試験側に切り替わった場合、自己試験解除コマンドを外部コマンドとして入力できるようにする必要がある。そのために、いずれかの入力端子或いは入力端子の組合せに応答して、自己試験回路 BIST が、セクタ回路 4 1 を切り替えるスタート信号 ϕ STARTを一時的に L レベルにする。その結果、スタート信号 ϕ STARTの L レベルにより、セクタ回路 4 1 が外部端子側に切り替わり、所定の自己試験解除コマンドを外部から入力することができる。

【 0 1 1 0 】

この第 2 の問題点は、パッケージに組み込まれた後のバーイン試験で自己試験回路 BIST を利用することに伴って発生する。通常動作時に誤って自己試験エントリコマンドが入力されても、いずれかの入力端子または入力端子の組合せによって、セクタ回路を切り替えて少なくとも外部からの自己試験解除コマンドの入力を可能にすることで、第 2 の問題点を解決することができる。

【 0 1 1 1 】

図 2 3 に示される例では、外部アドレス Am が自己試験解除用端子として利用される。自己試験回路 BIST 内には、図 1 9 にも示した通り、活性化信号 WBIZ と第 2 の WBIZ2 のいずれかにより WBI 活性化信号 ϕ WBI を生成する WBI 活性化回路 2 0 が設けられている。図 3 に示した通り、WBI 活性化回路 2 0 は、ウエハーレベルでのバーイン試験で使用される特別の外部端子 WBIZ から入力される H レベルの活性化信号 WBIZ に応答して、WBI 活性化信号 ϕ WBI を H レベルの試験モードにする。また、外部端子 WBIZ がオープンになると活性化信号 WBI が L レベルになり、WBI 活性化信号 ϕ WBI が L レベルの通常モードになる。

【 0 1 1 2 】

一方、アセンブリ工程後においては、外部からのエントリコマンドにより第2の活性化信号WBIZ2がHレベルになり、外部アドレスAmがHレベルになると、WBI活性化信号φWBIがHレベルになり、自己試験モードにエントリされる。そして、外部アドレスAmをLレベルにすると、WBI活性化信号φWBIが一時的にLレベルになり、スタート信号φSTARTがLレベルになり、外部からの信号入力可能状態になる。そこで、外部からの自己試験解除コマンドの入力に応答して、第2の活性化信号WBIZ2がLレベルなり、通常モードに復帰する。

【 0 1 1 3 】

アドレス端子Amは、自己試験モードにエントリするためのコマンドに必要な端子であればよい。従って、自己試験モードを一時解除する端子は、コマンド端子でもDQ端子でもよい。そして、自己試験モード中に、アドレスAm="H"にすれば自己試験回路BISTが動作し、アドレスAm="L"にすれば自己試験回路BISTが停止し外部からのアドレス・コマンドを取り込めるようになる。

【 0 1 1 4 】

図25は、アセンブリ後の自己試験モードのエントリと解除を示すタイミングチャート図である。また、図26は、そのためのWBI活性化回路20の回路図である。これらの図を参照して、ウエハ状態での自己試験モードへのエントリと解除、及びアセンブリ後の自己試験モードへのエントリと解除を説明する。

【 0 1 1 5 】

ウエハ状態において、試験用端子WBIZからHレベルの活性化信号WBIZを入力すると、インバータ200の出力がLレベルに、インバータ201の出力がHレベルになる。それによりNANDゲート204の出力N100がHレベルになり、トランジスタ208が導通、トランジスタ207が非導通になり、ノードN102はアドレスAmにかかわらずLレベルに維持される。従って、NORゲート203の両入力がLレベルになり、WBI活性化信号φWBIがHレベルになり、自己試験モードにエントリする。つまり、アドレスAmの信号は無視される。そして、試験用端子WBIZの信号をLレベルにすると、WBI活性化信号φWBIはLレベルになり、自己試験モードから解除される。このように、ウエハ状態では、試験用端子WBIZによっての

み、自己試験モードへのエントリと解除が行われる。

【0116】

次に組み立て後において、外部アドレス端子やコマンド端子からエントリコマンドを入力すると、第2の活性化信号WBIZ2がHレベルになる。この時、試験用端子WBIZがオープン状態でLレベルに固定されている。従って、インバータ200のHレベル出力と共に第2の活性化信号WBIZ2がNANDゲート204に入力され、ノードN100がLレベルにされ、トランジスタ207は導通、トランジスタ208は非導通に維持され、アドレスAmの反転信号がノードN102に出力される。アドレスAmがHレベルであれば、ノードN102がLレベルになり、NORゲート203の出力はHレベルになる。即ち、アドレスAmによりWBI活性化信号φWBIがHレベルに制御され、自己試験モードにエントリされる。

【0117】

自己試験モードから解除するためには、アドレスAmをLレベルにする。これにより、ノードN102はHレベルになり、WBI活性化信号φWBIはLレベルになる。これにより、自己試験回路BISTがスタート信号φSTARTをLレベルにし、セクタ回路を入力端子側に切り替える。これにより、外部からのコマンド入力可能状態になる。そこで、外部から自己試験解除コマンドを入力すると、テストモード選択回路126により、第2の活性化信号WBIZ2がLレベルなり、通常モードになる。その後、アドレスAmの入力は無視され、通常モードが維持される。

【0118】

上記の例では、1本のアドレス端子Amを自己試験モード停止信号として自己試験回路BISTに入力しているが、複数のアドレス端子やコマンド端子の信号をデコードして自己試験モード停止信号を作ってもよい。自己試験モード解除コマンドの入力組合せでこの停止信号が発生するようにすれば、外部から自己試験モード解除コマンドが入力されると、スタート信号φSTARTがLレベルになり解除コマンドがデバイスに取り込まれ自己試験モードが解除される。

【0119】

また、DRAM等に本発明を適用する場合は、通常の使用状態において誤って自己試験モードに入ってしまった場合の自動解除のことを考えて、選択されたメ

メモリバンクをプリチャージするプリチャージコマンドや、全メモリバンクをプリチャージするプリチャージオールコマンド（PALL）を自己試験モード解除コマンドにするとよい。その結果、プリチャージコマンドにより誤ってエントリされた自己試験モードが解除され、次の動作サイクルに適切に移ることができる。

【0120】

図27は、第7の実施の形態例における別の入力回路構成図である。そして、図28は、図27の場合における、アセンブリ後の自己試験モードのエントリと解除を示すタイミングチャート図である。この例では、入力回路のセクタ41にスイッチSW10を介してスタート信号 ϕ STARTが入力される。また、このスイッチSW10は、入力信号A0により制御される。そして、アドレスA0がHレベルに維持されると、スタート信号 ϕ STARTがセクタ41にそのまま供給され、アドレスA0がLレベルにされると、スイッチSW10がオフになり、セクタ41にはLレベルのスタート信号が供給され、外部コマンド入力可能状態にされる。

【0121】

例えば、スイッチSW10を図27に示すようにANDゲートで構成する。自己試験モードした後に、入力端子A0にHレベルを与えれば、スタート信号 ϕ STARTがセクタ41にそのまま入力され、試験アドレス等の自己試験回路BISTが発生した信号を入力回路が取り込む。入力端子A0にLレベルを与えれば、スタート信号 ϕ STARTは切断され、セクタ41は外部からの入力信号A0を取り込む。

【0122】

このスイッチSW10を、自己試験モード解除コマンドを入力する端子に設けておき、それらの端子をLレベルにすることを自己試験モード解除コマンドと決めておく。これにより、自己試験モードにおいて自己試験回路BISTが活性化中は、それら端子をHレベルとし、自己試験モードを解除するときは、解除コマンドとしてそれら端子をLレベルにすると、自己試験モード解除コマンドがデバイスに取り込まれ、自己試験モードが解除される。

【0123】

スイッチSW10はすべての入力端子に設けなくてもよい。また、1つの端子の入力信号で複数の端子のスイッチSW10を制御してもよい。また、上記と同様に

、DRAM等に本実施例を適用する場合は、通常の使用状態において誤って入った自己試験モードの解除を考えて、プリチャージコマンドを自己試験モード解除コマンドにするとよい。

【0124】

この変形例によれば、自己試験モード解除コマンドを入力すると、そのコマンドに含まれる所定の端子（図27の例ではアドレスA0）のLレベルにより、スイッチSW10がオフになり、スイッチが設けられたセクタが全て外部入力端子側に切り替わる。その結果、その解除コマンドが入力され、テストモード選択回路126が第2の活性化信号WBIZ2をLレベルにし、自己試験回路BISTは自己試験モードから解除される。その結果、スタート信号 ϕ STARTはLレベルされ、通常モードになる。

【0125】

また、自己試験モードにエントリするときは、セクタは入力端子側に切り替わっているので、エントリコマンドがデバイス内に入力され、テストモード選択回路126により第2の活性化信号WBIZ2がHレベルにされ、スタート信号 ϕ STARTがHレベルにされる。

【0126】

以上、第7の実施の形態例では、自己試験回路BISTが発生する試験アドレスWBI-ADD、試験動作コマンドWBI-CMD、試験データWBI-DATAを、できるだけ入力端子に近い回路から与えることができる。従って、より正確な状態で試験を行うことができる。そして、通常状態において、誤って自己試験モードに入ってしまったも、セクタを強制的に入力端子側に切り替えることができ、自己試験モードから解除することができる。

【0127】

〔第8の実施の形態例〕

第8の実施の形態例は、自己試験モード時のリセット動作に関する。DRAMなどのデバイスは、内部にフリップフロップなどのラッチ回路を多数備える。従って、電源投入時や外部からのリセットコマンドによりそれらのラッチ回路をリセットする機能が設けられている。同様に、自己試験モード時においても、内部

をリセットする機能が必要になる。本実施の形態例では、自己試験モード時にリセットする機能を実現する。

【0128】

図29は、第8の実施の形態例におけるリセット機能を説明する図である。図29(a)は、デバイス全体の構成図であり、メモリバンクや制御回路等を含むメモリのメイン回路300と、自己試験回路BISTと、それらのリセット信号RESET1, 2, 3を供給するリセット信号発生回路305が示される。また、図29(b)には、リセット信号発生回路305が示され、図29(c)には、リセット要求信号S1, S2, S3とリセット信号RESET1,2,3との関係を示す図表が示される。

【0129】

スタータ回路304は、電源VDDの投入に応答して第1のリセット要求信号S1を生成する。それに応答して、リセット信号発生回路305は、コマンドデコーダ302を除くメイン回路300への第1のリセット信号RESET1と、コマンドデコーダ302への第2のリセット信号RESET2と、自己試験回路BISTへの第3のリセット信号RESET3とを生成する。その結果、メイン回路300、コマンドデコーダ302及び自己試験回路BISTの内蔵するラッチ回路がリセットされる。

【0130】

外部から強制リセットコマンドが入力されると、コマンドデコーダ302は強制リセット信号として、第2のリセット要求信号S2を生成する。これに応答して、リセット信号発生回路305は、コマンドデコーダ302を除くメイン回路300への第1のリセット信号RESET1と、自己試験回路BISTへの第3のリセット信号RESET3とを生成する。その結果、メイン回路300、及び自己試験回路BISTの内蔵するラッチ回路がリセットされる。但し、第2のリセット要求信号S2を出力しているコマンドデコーダ302はリセットされない。

【0131】

ウエハレベルでの自己試験に使用される試験端子WBIZから、シリアルでリセットコマンドが入力されると、自己試験回路BISTが第3のリセット要求信号S3を生成する。これに応答して、リセット信号発生回路305は、メイン回路300

への第1のリセット信号RESET1とコマンドデコーダ302への第2のリセット信号RESET2とを生成する。その結果、メイン回路300が内蔵するラッチ回路やコマンドデコーダ302がリセットされる。この場合、第3のリセット信号RESET3は生成されない。その結果、自己試験回路BISTはリセットされず、第3のリセット要求信号S3は維持され、メイン回路300のリセットが正しく行われる。

【0132】

図30は、試験端子WBIZからのシリアルコマンドにより、リセット要求信号S3を生成するWBIモード選択回路を示す図である。図30は、図3の変形例であり、同じ引用番号を使用する。図30の回路構成は図3と同じである。但し、試験端子WBIZからシリアルにリセットコマンドが入力されると、デコーダ58が、5つ目のWBIモード選択信号としてリセット要求信号S3を生成する。このリセット要求信号S3により、図29に示されたりセット信号発生回路305が、メイン回路300へのリセット信号RESET1を生成する。

【0133】

以上の実施の形態例をまとめると次の通りである。

【0134】

付記1. コマンドに応答してメモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路を有するメモリデバイスに内蔵され、前記メモリデバイスの不良を検出する自己試験回路において、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積し、外部に出力する試験出力回路とを有し、

前記自己試験回路は、外部からの自己試験活性化信号に応答して自己試験活性

化状態になることを特徴とするメモリデバイスの自己試験回路。

【 0 1 3 5 】

付記 2. 付記 1 において、

更に、前記自己試験活性化状態において、前記書き込み及び・または読み出しを含む複数の試験動作モードのうち、いずれかを指定する試験動作モード信号を生成する試験動作モード選択回路を有し、

前記試験動作モード信号に応じて、前記試験動作コマンド発生回路が、前記試験動作モードを実行するための前記試験動作コマンドを発生することを特徴とするメモリデバイスの自己試験回路。

【 0 1 3 6 】

付記 3. 付記 2 において、

前記試験動作モード選択回路は、外部から供給される複数の試験動作モード入力信号をデコードして、前記試験動作モード信号を生成することを特徴とするメモリデバイスの自己試験回路。

【 0 1 3 7 】

付記 4. 付記 3 において、

前記複数の試験動作モード入力信号は、入力タイミング信号に同期して、シリアルに入力されることを特徴とするメモリデバイスの自己試験回路。

【 0 1 3 8 】

付記 5. 付記 2 において、

前記試験動作モード選択回路は、前記試験活性化状態において、前記複数の試験動作モード信号を順次生成することを特徴とするメモリデバイスの自己試験回路。

【 0 1 3 9 】

付記 6. 付記 1 において、

自己試験活性化信号は、自己試験用入力端子から供給される信号または前記メモリデバイスの所定のコマンドに応答して生成される信号のいずれかであることを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 0 】

付記 7. 付記 6 において、

前記自己試験用入力端子は、オープン状態で所定の電位に維持されることを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 1 】

付記 8. 付記 1 において、

前記試験動作コマンド発生回路は、前記試験アドレス発生回路があるアドレスを発生する毎に、前記書き込みまたは読み出しの少なくとも一方を含む動作に対応する複数の試験動作コマンドを順番に発生することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 2 】

付記 9. 付記 1 において、

前記試験アドレス発生回路はアドレスカウンタを有し、アドレスのインクリメントまたはデクリメントのアドレスタイミング信号をカウントして、前記試験アドレスを発生することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 3 】

付記 1 0. 付記 9 において、

前記試験アドレス発生回路のアドレスカウンタは、カウンタ値の非反転出力または反転出力を、前記試験動作モード信号に応じて、選択的に出力することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 4 】

付記 1 1. 付記 1 において、

前記試験データ発生回路は、前記試験動作コマンドが書き込み動作に対応する場合は、前記メモリコアに該試験データを書き込みデータとして供給し、前記試験動作コマンドが読み出し動作に対応する場合は、前記試験出力回路に該試験データを比較データとして供給することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 5 】

付記 1 2. 付記 1 または 1 1 において、

前記試験データ発生回路は、前記アドレスタイミング信号に同期して、前記試

験アドレス信号に応じて所定パターンの前記試験データを発生することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 6 】

付記 1 3 . 付記 1 において、

前記試験出力回路は、前記読み出しデータと試験データとの不一致回数をカウントするカウンタを有することを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 7 】

付記 1 4 . 付記 1 3 において、

前記試験出力回路のカウンタは、少なくとも救済可能な最大不良ビット数に対応する前記不一致回数を最大カウント値とすることを特徴とするメモリデバイスの自己試験回路。

【 0 1 4 8 】

付記 1 5 . 付記 1 4 において、

前記試験出力回路のカウンタは、カウント値が前記最大カウント値を越えるとオーバーフロー信号を発生し、当該オーバーフローしたことが出力されることを特徴とする試験回路。

【 0 1 4 9 】

付記 1 6 . 付記 1 において、

前記試験出力回路は、パラレル・シリアル変換回路を有し、前記比較結果情報を出力タイミング信号に同期してシリアルに出力することを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 0 】

付記 1 7 . 付記 1 において、

前記試験出力回路は、前記比較結果情報として、前記読み出しデータと試験データとの不一致回数が救済可能な回数以下であるか否かの情報を出力することを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 1 】

付記 1 8 . 付記 1 7 において、

前記試験出力回路は、前記比較結果情報として、更に、前記読み出しデータと

試験データとの不一致が発生しなかった情報を出力することを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 2 】

付記 1 9 . 付記 1 7 において、

前記試験出力回路は、前記比較結果情報として、更に、前記不一致回数を出力することを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 3 】

付記 2 0 . 付記 4 において、

前記入力タイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 4 】

付記 2 1 . 付記 8 において、

前記試験動作コマンド発生回路は、外部から供給されるクロックに基づいて生成されたコマンド発生タイミング信号に同期して、前記試験動作コマンドを発生することを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 5 】

付記 2 2 . 付記 9 において、

前記アドレスタイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 6 】

付記 2 3 . 付記 1 6 において、

前記出力タイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 7 】

付記 2 4 . 付記 2 0 、 2 1 、 2 2 、 または 2 3 のいずれかにおいて、

更に、前記外部供給クロックを逡倍して内部生成クロックを生成するクロック逡倍回路を有し、

前記タイミング信号は、当該内部生成クロックに基づいて生成されることを特

徴とするメモリデバイスの自己試験回路。

【 0 1 5 8 】

付記 2 5. 付記 2 1、2 2 のいずれかにおいて、

更に、自己試験活性状態において、内部生成クロックを発生するオシレータを有し、

前記タイミング信号は、当該内部生成クロックに基づいて生成されることを特徴とするメモリデバイスの自己試験回路。

【 0 1 5 9 】

付記 2 6. 複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記メモリデバイスの不良を検出する自己試験回路を有し、

前記自己試験回路は、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに書き込みデータとして供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積する試験出力回路とを有することを特徴とするメモリデバイス。

【 0 1 6 0 】

付記 2 7. 付記 2 6 において、

前記外部コマンドと前記試験コマンドとを切り替える第 1 のセレクタと、

前記外部アドレスと前記試験アドレスとを切り替える第 2 のセレクタと、

外部から供給される外部書き込みデータと前記試験データとを切り替える第 3

のセクタとを有することを特徴とするメモリデバイス。

【0161】

付記28．付記27において、

更に、外部から供給される外部クロックを逡倍して内部生成クロックを生成するクロック逡倍回路と、

前記外部クロックと前記内部生成クロックとを切り替える第4のセクタとを有することを特徴とするメモリデバイス。

【0162】

付記29．付記27において、

更に、自己試験活性状態において内部生成クロックを発生するオシレータと、

前記外部クロックと前記内部生成クロックとを切り替える第4のセクタとを有することを特徴とするメモリデバイス。

【0163】

付記30．付記27において、

更に、前記メモリセルから読み出された読み出しデータを出力するデータ出力回路を有し、

前記試験出力回路からの比較結果情報と前記読み出しデータとを切り替えて前記データ出力回路に供給する第5のセクタとを有することを特徴とするメモリデバイス。

【0164】

付記31．付記26において、

前記自己試験活性化信号が供給される自己試験外部端子を有することを特徴とするメモリデバイス。

【0165】

付記32．付記26において、

前記自己試験活性化信号が、所定の前記外部コマンドにより与えられることを特徴とするメモリデバイス。

【0166】

付記33．付記27において、

前記第 1、第 2 及び第 3 のセレクトアのうち少なくとも一つは、対応する入力回路に設けられ、

前記入力回路は、第 1 のクロックに同期して前記セレクトアにより切り替えられた入力信号を取り込み、前記自己試験回路は、前記第 1 のクロックより位相が進んだ第 2 のクロックに同期して、前記試験コマンド、試験アドレス、試験データのうち対応する信号を前記セレクトアに供給することを特徴とするメモリデバイス。

【 0 1 6 7 】

付記 3 4. 付記 3 3 において、

前記入力回路は、外部コマンド、外部アドレス、外部書き込みデータを入力する入力バッファと、前記入力バッファの出力をラッチするラッチ回路とを有し、前記第 1、第 2 及び第 3 のセレクトアのうち少なくとも一つは、前記入力バッファとラッチ回路との間に設けられることを特徴とするメモリデバイス。

【 0 1 6 8 】

付記 3 5. 付記 3 3 において、

前記入力回路は、クロックの一方のエッジに同期して前記入力信号を取り込み、前記自己試験回路は、前記クロックの他方のエッジに同期して前記対応する信号を生成することを特徴とするメモリデバイス。

【 0 1 6 9 】

付記 3 6. 付記 3 3 において、

自己試験活性化信号は、自己試験用入力端子から供給される信号または前記メモリデバイスの所定の外部コマンドに応答して生成される信号のいずれかであり、

自己試験モードにおいて、所定の外部端子の状態に応答して、前記セレクトアの少なくとも一部が外部入力端子側に切り替わることを特徴とするメモリデバイス。

【 0 1 7 0 】

付記 3 7. 付記 2 6 において、

自己試験用入力端子から供給されるリセットコマンドに応答して、少なくとも

前記メモリコアとメモリ制御回路を含む内部回路にリセット信号が供給され、当該内部回路がリセットされることを特徴とするメモリデバイス。

【0171】

付記38. 複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記書き込みまたは読み出しを指示する試験動作コマンドを発生して前記メモリ制御回路に供給し、試験アドレスを発生して前記メモリコアに供給し、試験データを発生して前記メモリコアに書き込みデータとして供給し、前記メモリコアからの読み出しデータと前記試験データとを比較して前記メモリデバイスの不良を検出する自己試験回路を有することを特徴とするメモリデバイス。

【0172】

付記39. 付記38において、

更に、第1及び第2の自己試験用端子を有し、前記第1の自己試験用端子から自己試験活性化信号が入力され、前記第2の自己試験用端子から試験モードを指定する試験モードコマンドが入力され、更に、前記第2の自己試験用端子から前記比較結果が出力されることを特徴とするメモリデバイス。

【0173】

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0174】

【発明の効果】

以上、本発明によれば、LSIテストを利用することなく、自己試験活性化信号を外部から与えることにより、メモリデバイスに内蔵される自己試験回路が不良ビットのチェックを行うことができる。従って、従来のメモリデバイスよりも試験工程の時間を短くすることができる。

【0175】

または、本発明によれば、ウエハ工程において少ない外部端子を利用するバーイン試験においても、内蔵される自己試験回路を利用して自己試験を行うことができ、デバイスの低コスト化に寄与することができる。

【図面の簡単な説明】

【図 1】

従来例のメモリデバイスの構成図である。

【図 2】

本実施の形態例におけるメモリデバイスの構成図である。

【図 3】

WBI活性化回路、WBI入力バッファ、及びWBIモード選択回路を示す回路図である。

【図 4】

自己試験工程へのエントリー時の動作タイミングチャート図である。

【図 5】

試験結果情報の出力時の動作タイミングチャート図である。

【図 6】

試験パターンの一例であるマーチの動作を示す図である。

【図 7】

試験動作モードMODE1を動作タイミングチャート図である。

【図 8】

試験動作モードMODE2を動作タイミングチャート図である。

【図 9】

試験動作モードMODE3を動作タイミングチャート図である。

【図 1 0】

試験動作モードMODE4を動作タイミングチャート図である。

【図 1 1】

試験動作モードOUTPUTの動作タイミングチャート図である。

【図 1 2】

WBI制御回路の回路図である。

【図 1 3】

WBIコマンド発生回路の回路図である。

【図 1 4】

試験アドレス・データ発生回路の回路図である。

【図 1 5】

試験アドレス・データ発生回路の動作タイミングチャート図である。

【図 1 6】

データ比較部、カウンタ、パラレル・シリアル変換部、及び試験出力バッファの構成図である。

【図 1 7】

データ比較部の動作タイミングチャート図である。

【図 1 8】

第2の実施の形態例におけるメモリデバイスの構成図である。

【図 1 9】

第3の実施の形態例における自己試験回路を内蔵するメモリデバイスの構成図である。

【図 2 0】

第4の実施の形態例におけるWBI活性化回路とWBIモード選択回路の構成図である。

【図 2 1】

第5の実施の形態例における試験結果情報の出力部の例を示す図である。

【図 2 2】

第6の実施の形態例におけるメモリデバイスの構成図である。

【図 2 3】

第7の実施の形態例における入力回路の構成を示す図である。

【図 2 4】

試験アドレスなどの発生と取り込みの関係を示すタイミングチャート図である。

【図 2 5】

アセンブリ後の自己試験モードのエントリと解除を示すタイミングチャート図である。

【図 2 6】

第 7 の実施の形態例における WBI 活性化回路の回路図である。

【図 2 7】

第 7 の実施の形態例における別の入力回路構成図である。

【図 2 8】

図 2 7 の場合における、アセンブリ後の自己試験モードのエントリと解除を示すタイミングチャート図である。

【図 2 9】

第 8 の実施の形態例におけるリセット機能を説明する図である。

【図 3 0】

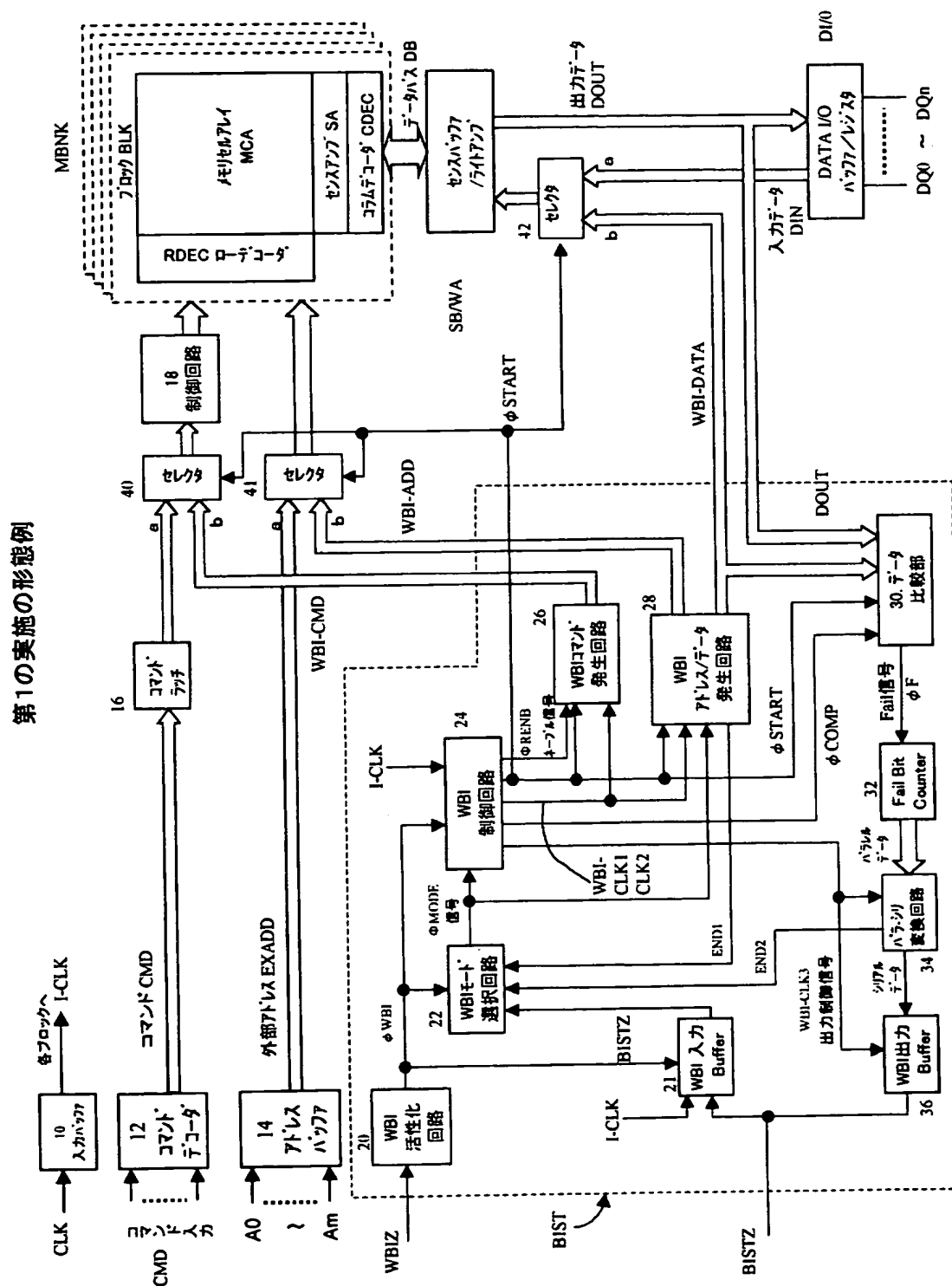
第 8 の実施の形態例における WBI モード選択回路を示す図である。

【符号の説明】

BIST	自己試験回路
2 0	WBI 活性化回路
2 2	試験動作モード選択回路
2 4	WBI 制御回路
2 6	WBI コマンド発生回路
2 8	WBI アドレス・データ発生回路
3 0	データ比較部
3 2	フェイルビットカウンタ
3 4	パラレル・シリアル変換回路
3 6	WBI 出力バッファ
WBIZ	活性化信号
φ WBI	WBI 活性化信号
BISTZ	モード入力信号
φ START	スタート信号
END1, END2	終了信号

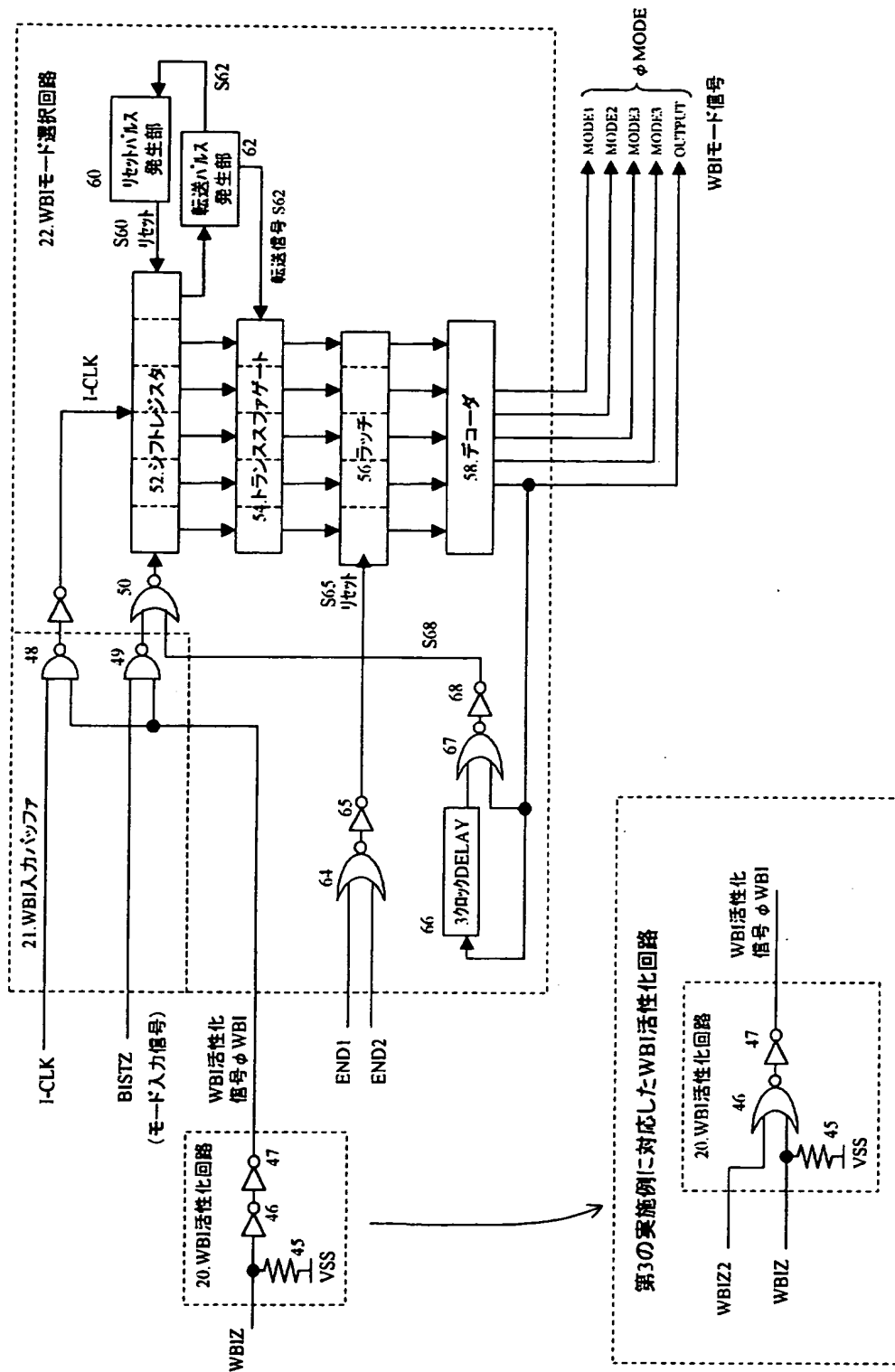
WBI-CLK1 第 1 の試験クロック (WBIコマンド発生回路用)
WBI-CLK2 第 2 の試験クロック (WBIアドレス・データ発生回路用)
WBI-CLK3 第 3 の試験クロック (WBI出力バッファ用)

【图 2】

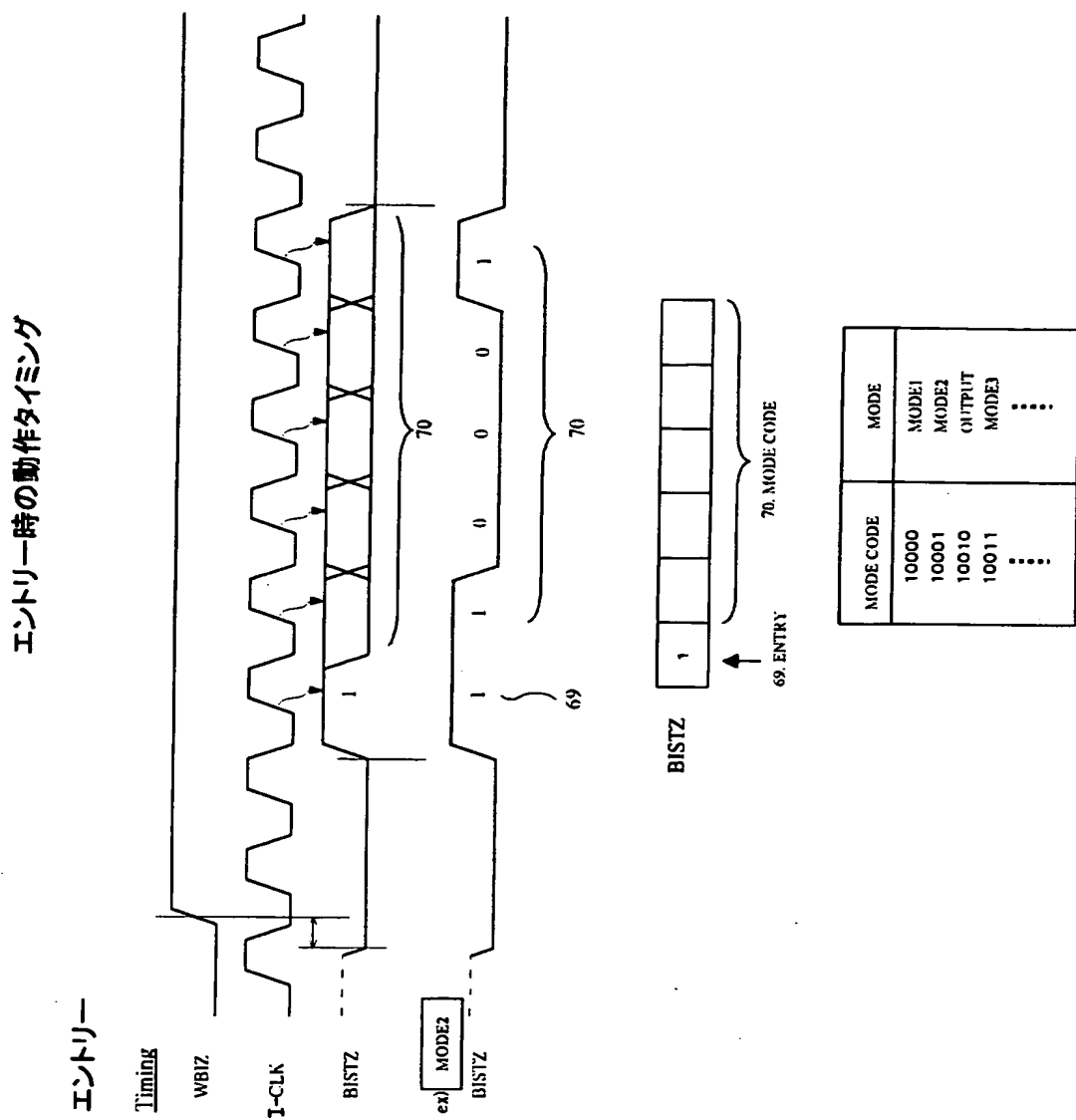


【図3】

WBI活性化回路、WBI入力バッファとWBIモード選択回路の実施例

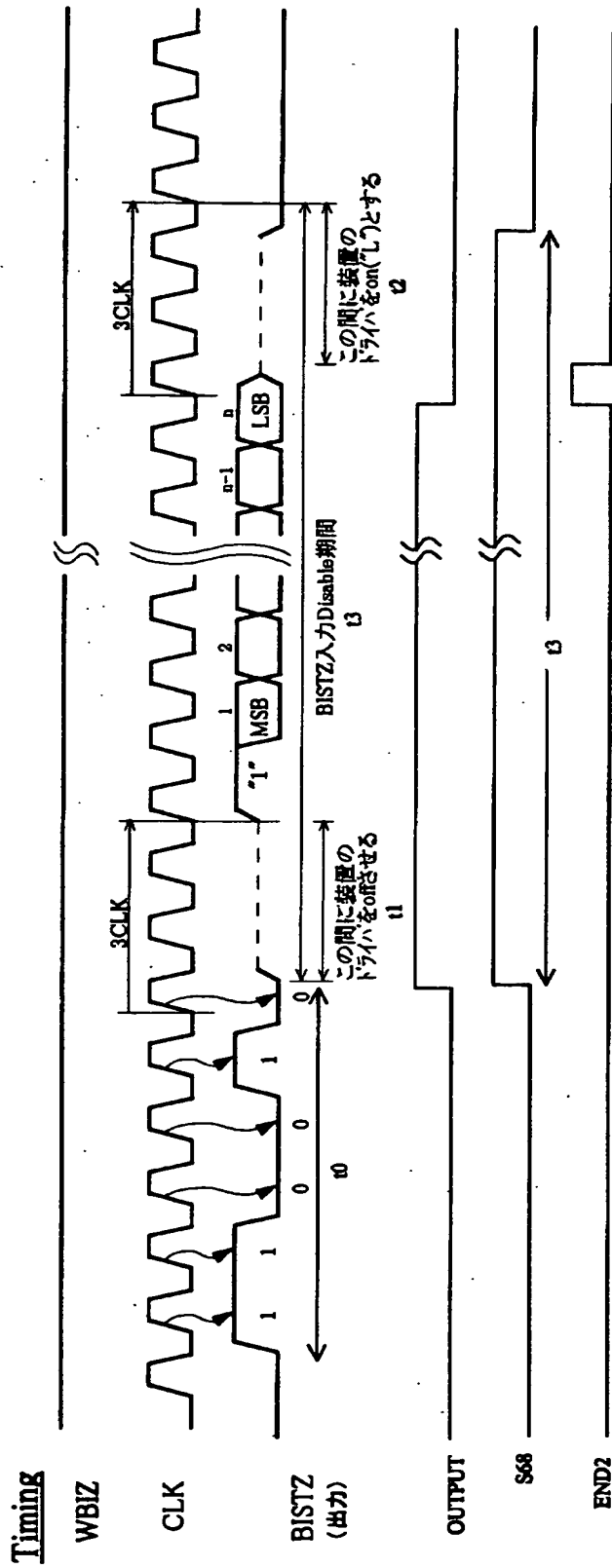


【圖 4】



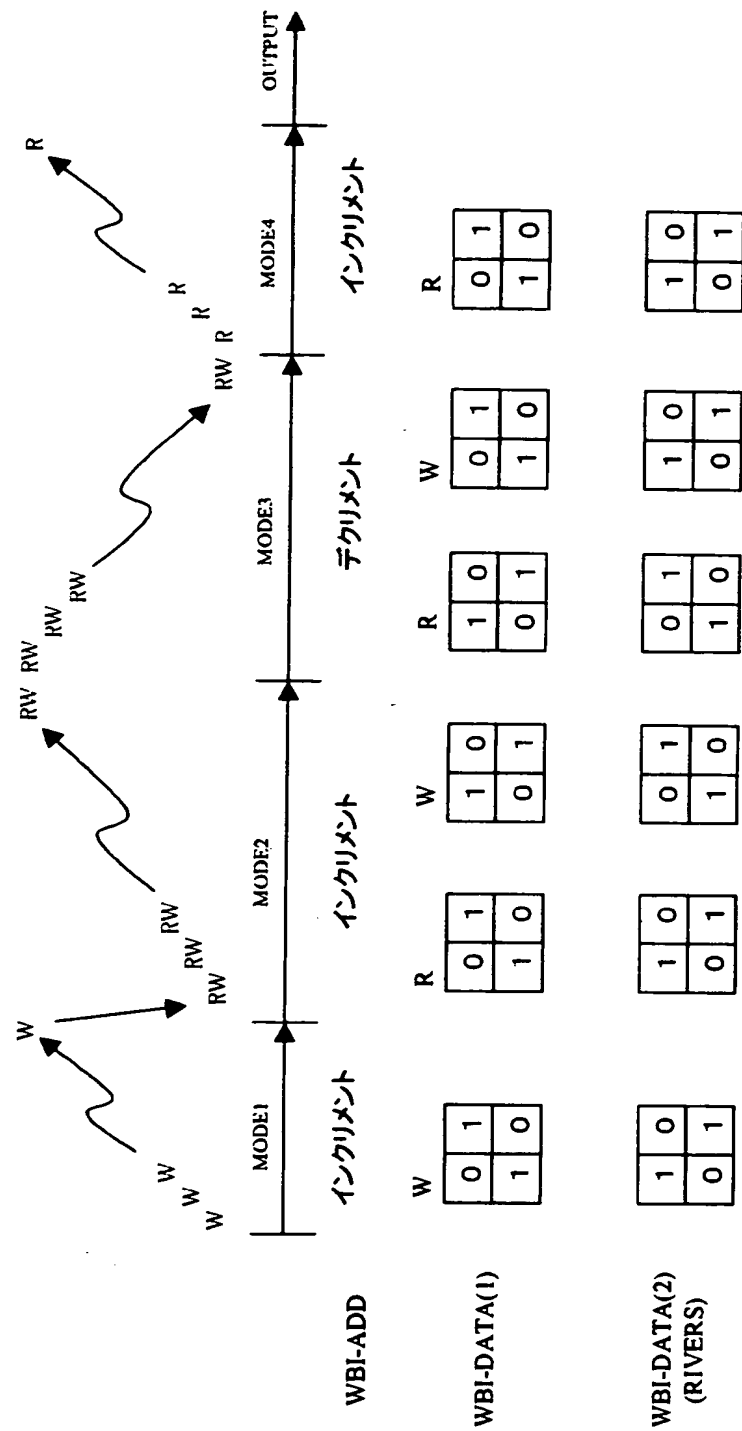
【図 5】

試験結果情報の出力時の動作タイミング

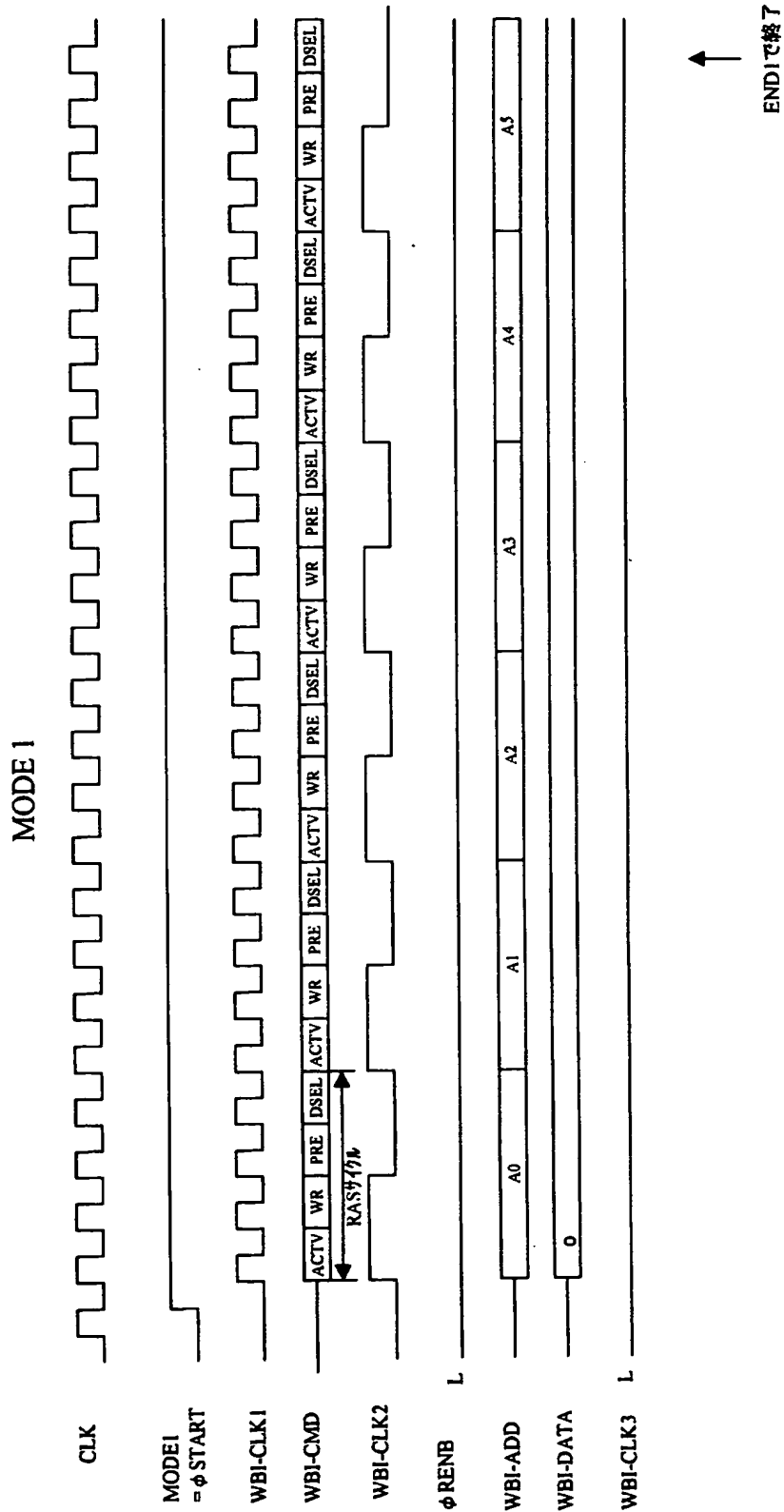


【図 6】

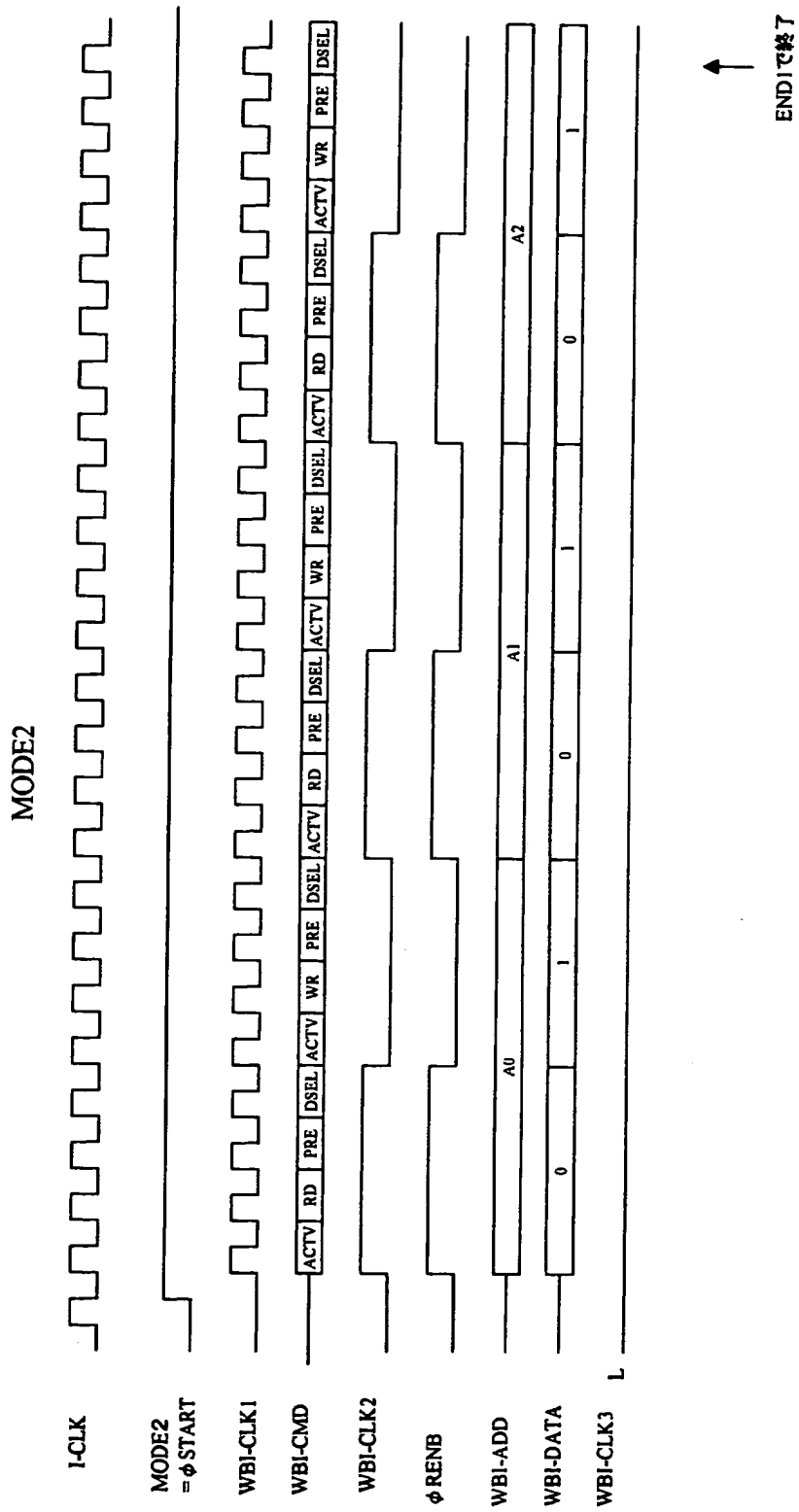
試験パターンのマーチパターン例



【図 7】

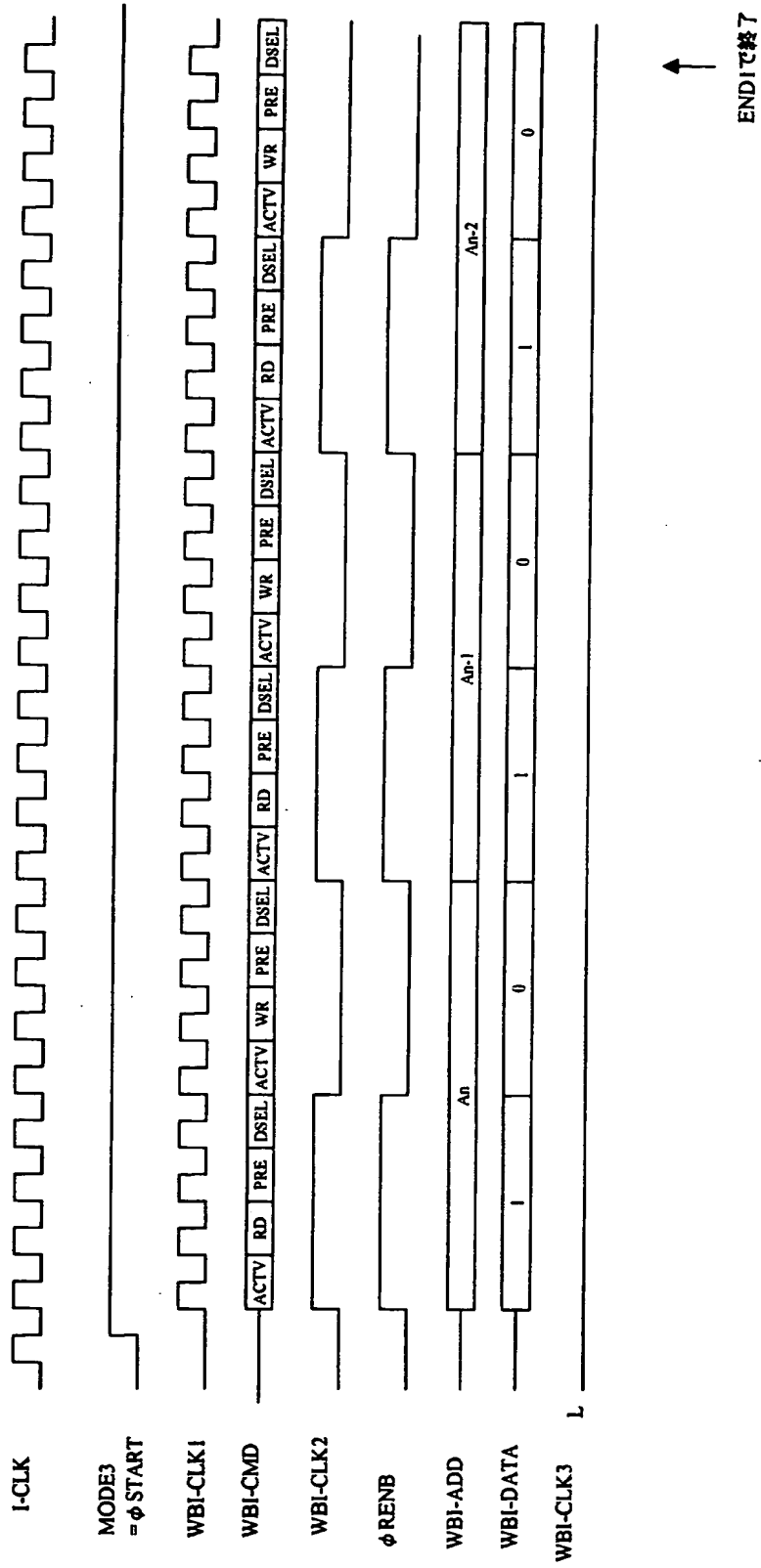


【図 8】

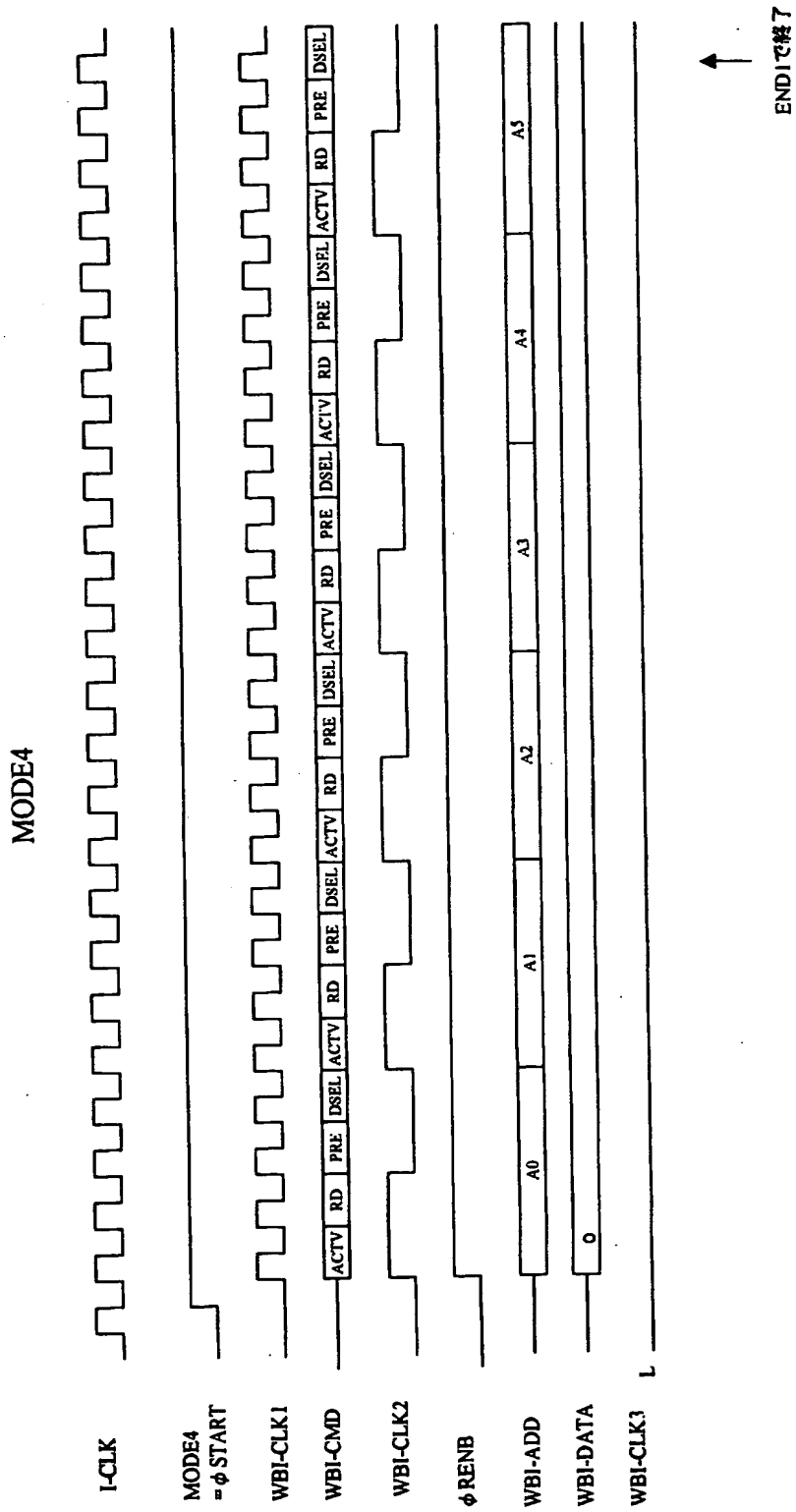


【図 9】

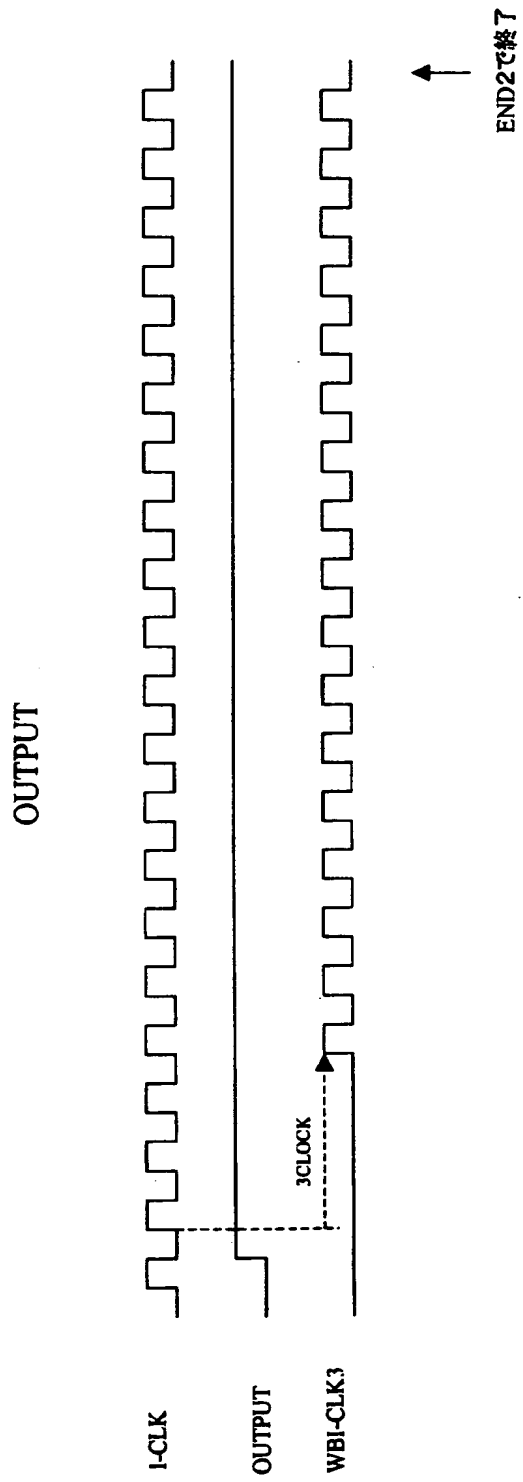
MODE3



【図 1 0】

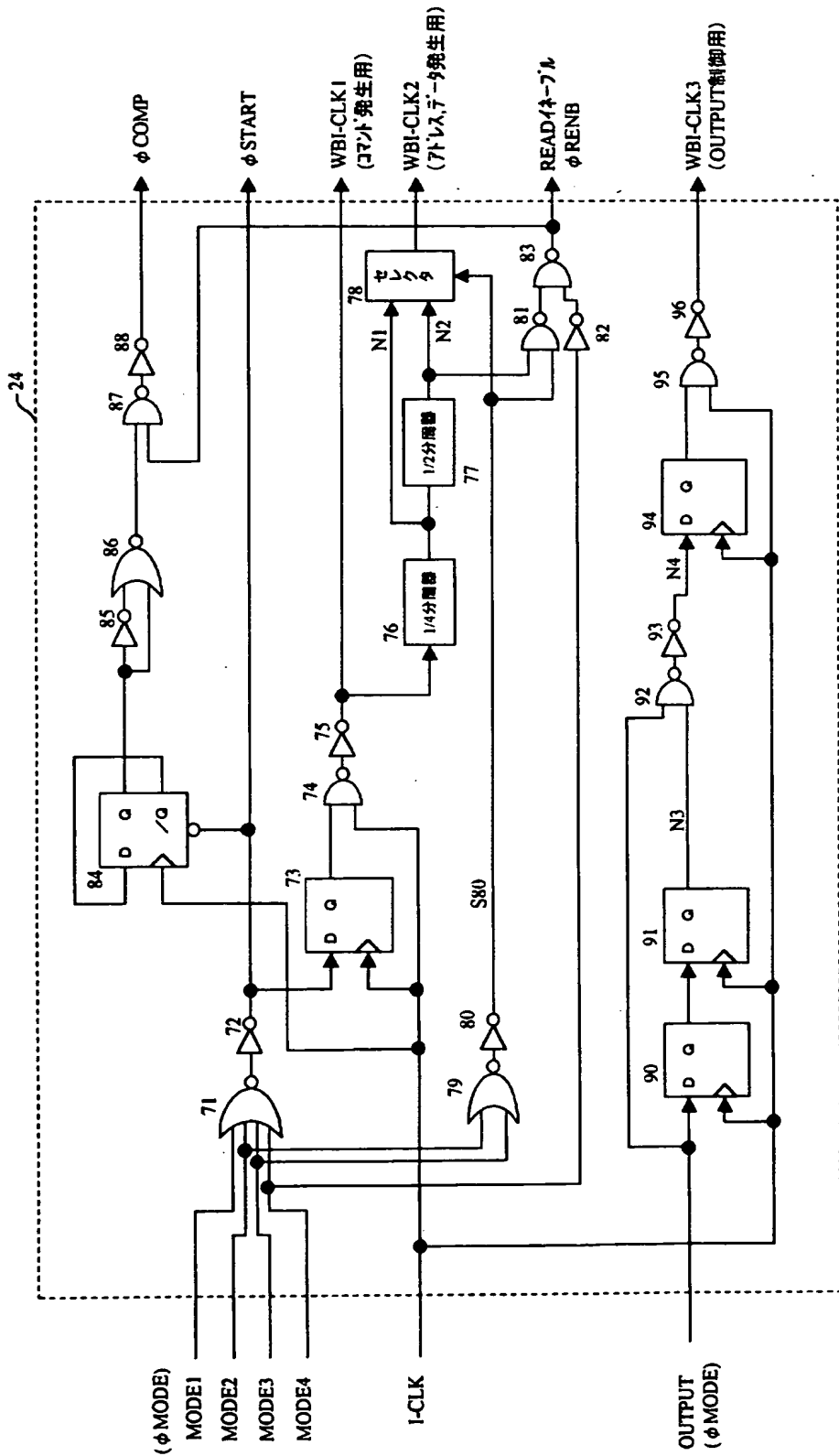


【図 1 1】



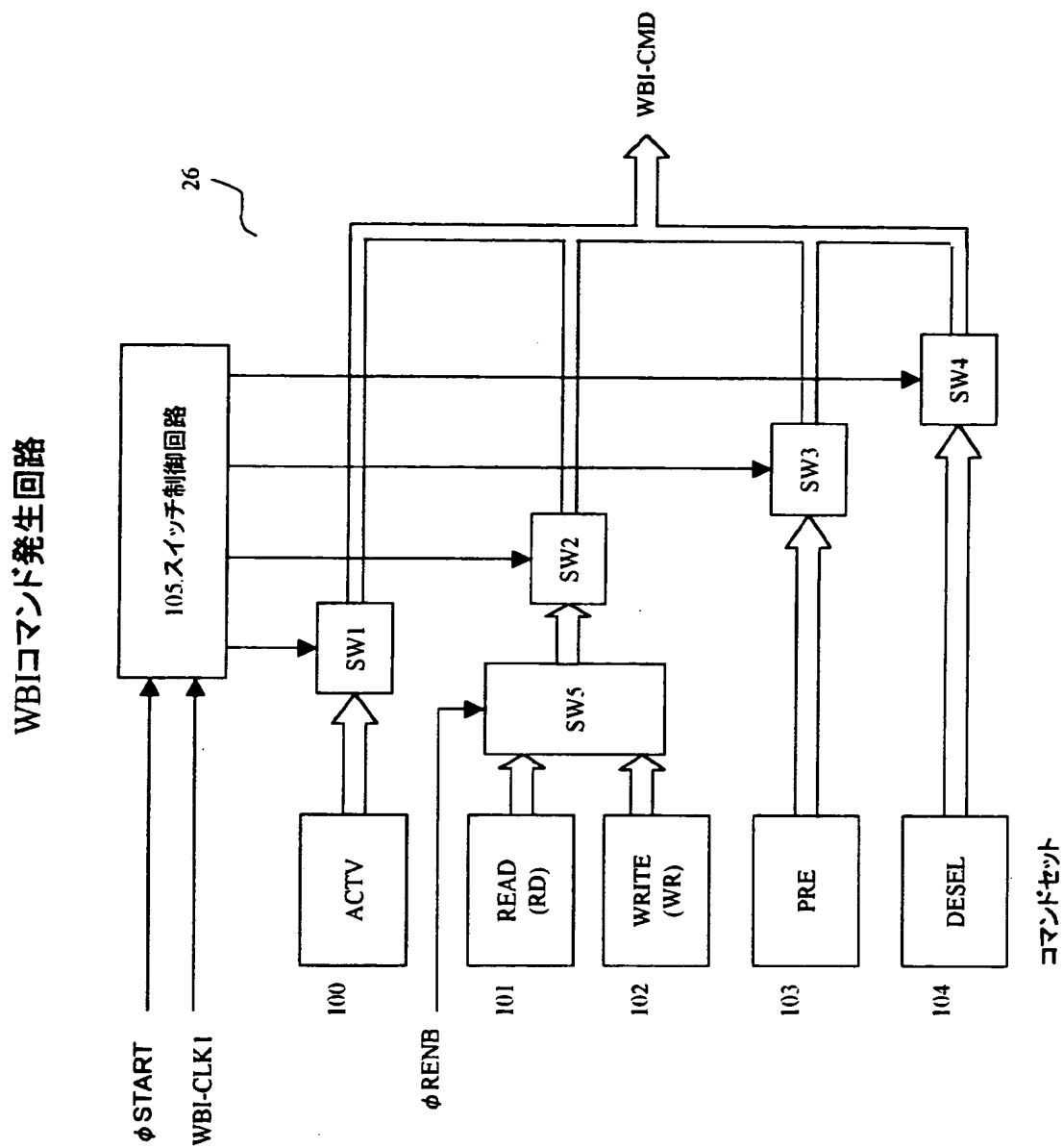
【図12】

WBI制御回路

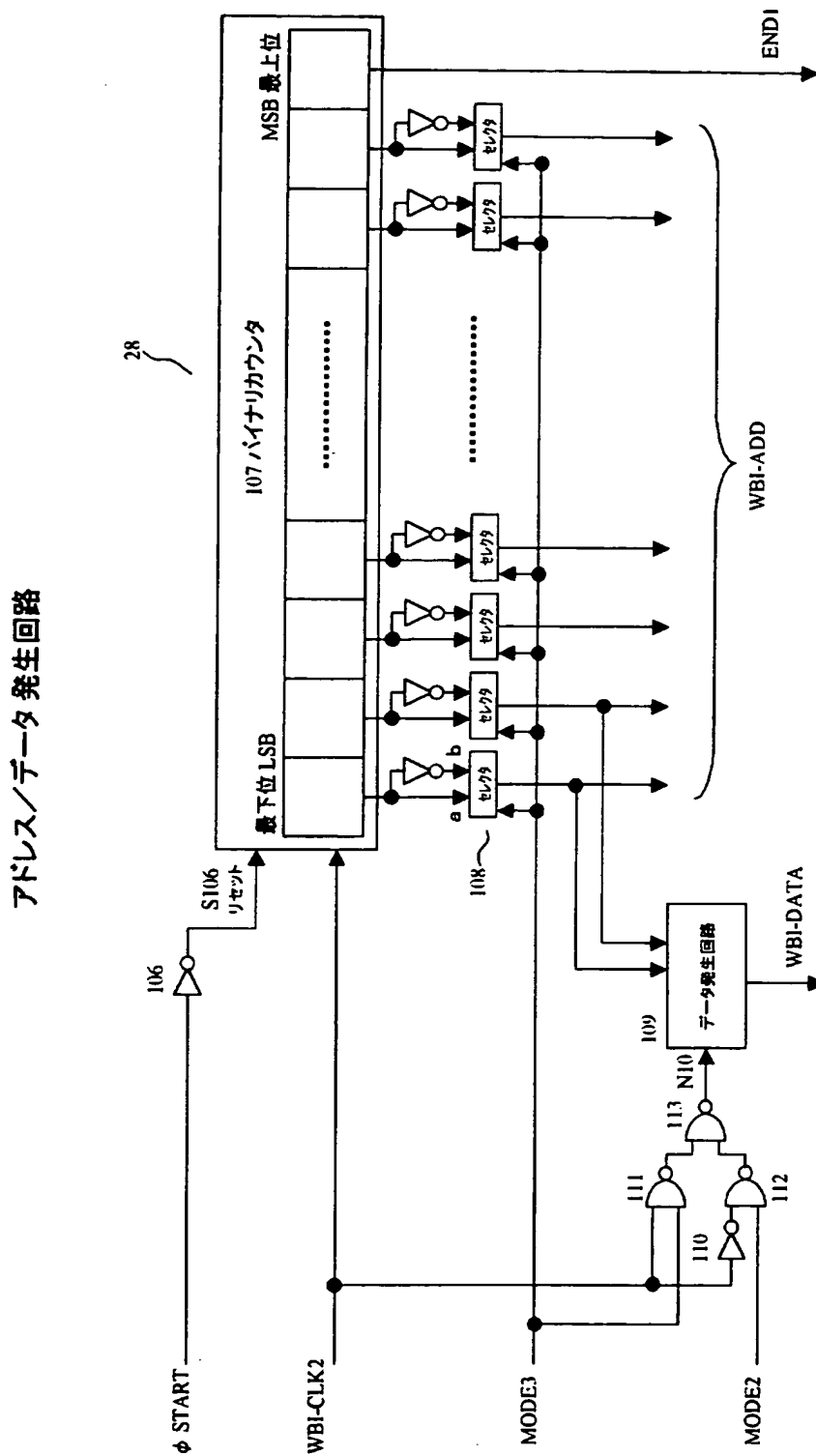


セレクタは、MODE1,4ではN1に接続
MODE2,3ではN2に接続

【図13】



【図 14】

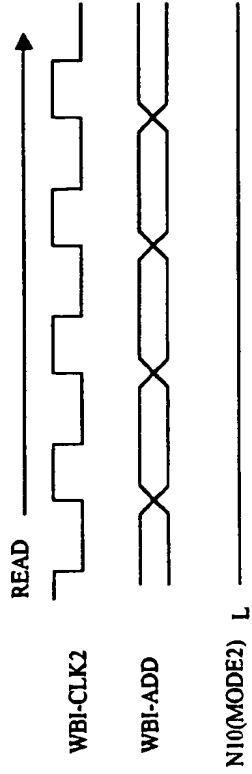


セレクト列は、アドレスインクリメント時はaに接続
アドレスデクリメント時はbに接続

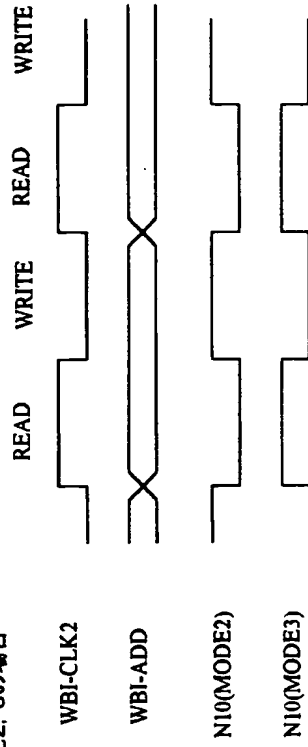
【図 1 5】

WBIアドレス/データ発生部の動作

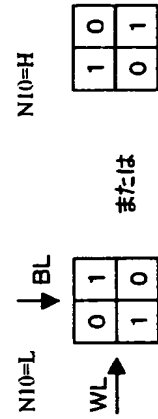
(A) MODE1. 4の場合



(B) MODE2. 3の場合

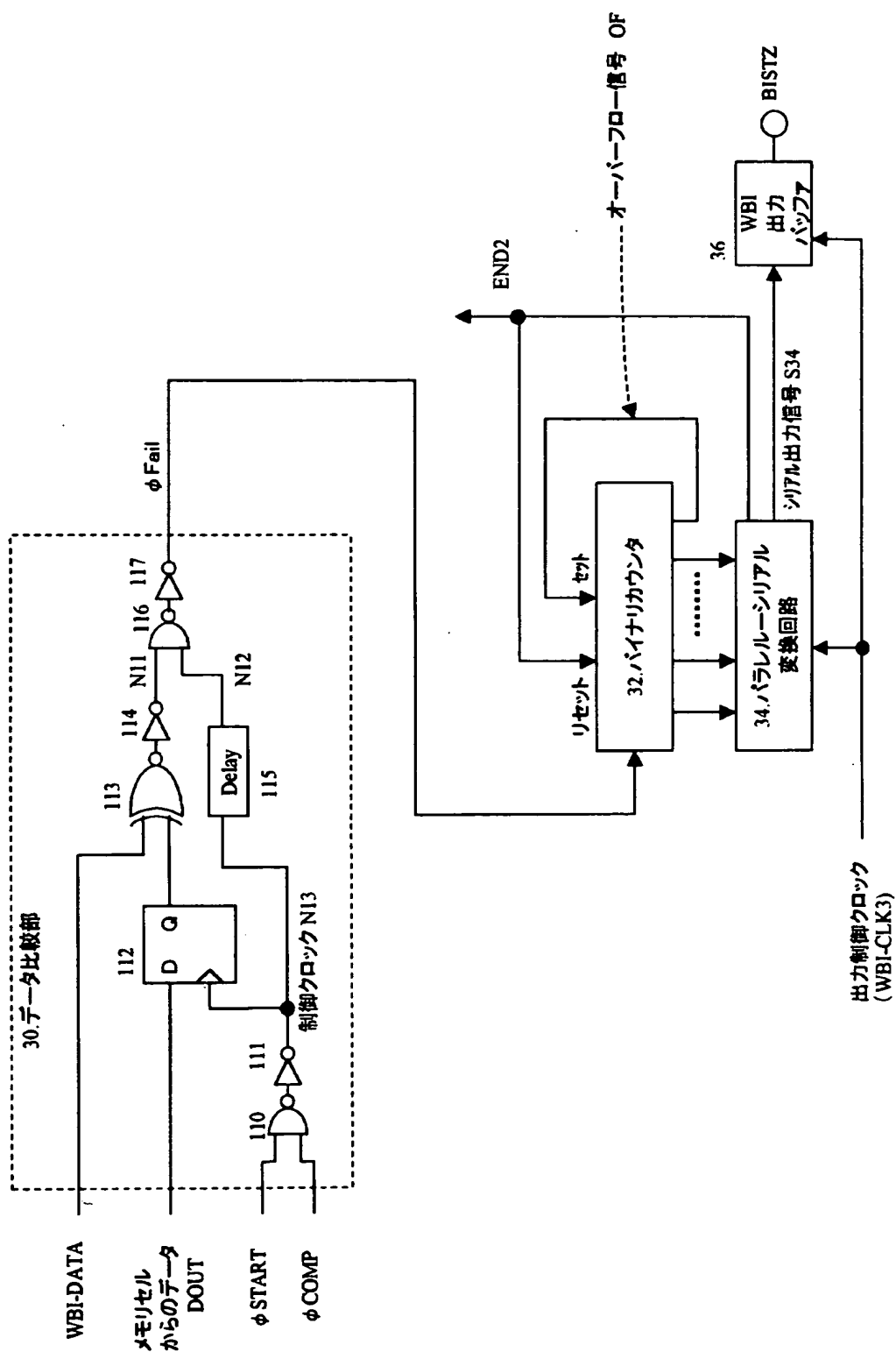


(C) WBIデータの例



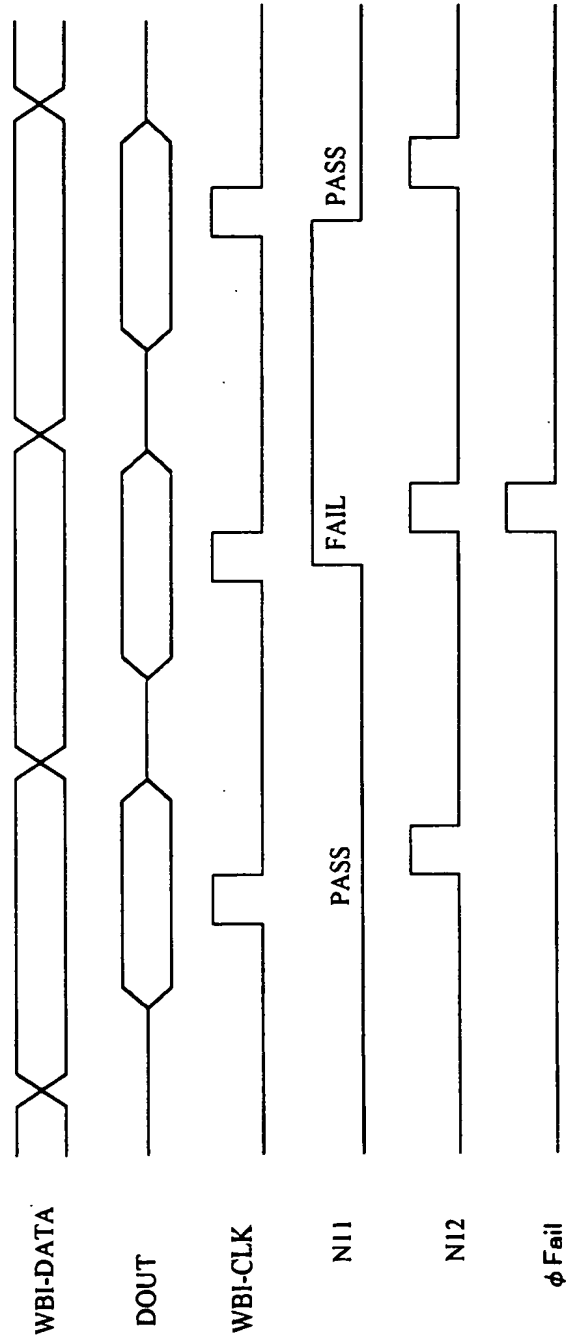
【図 16】

データ比較部、カウンタ部、パレル・シリアル変換部、出力バッファの構成

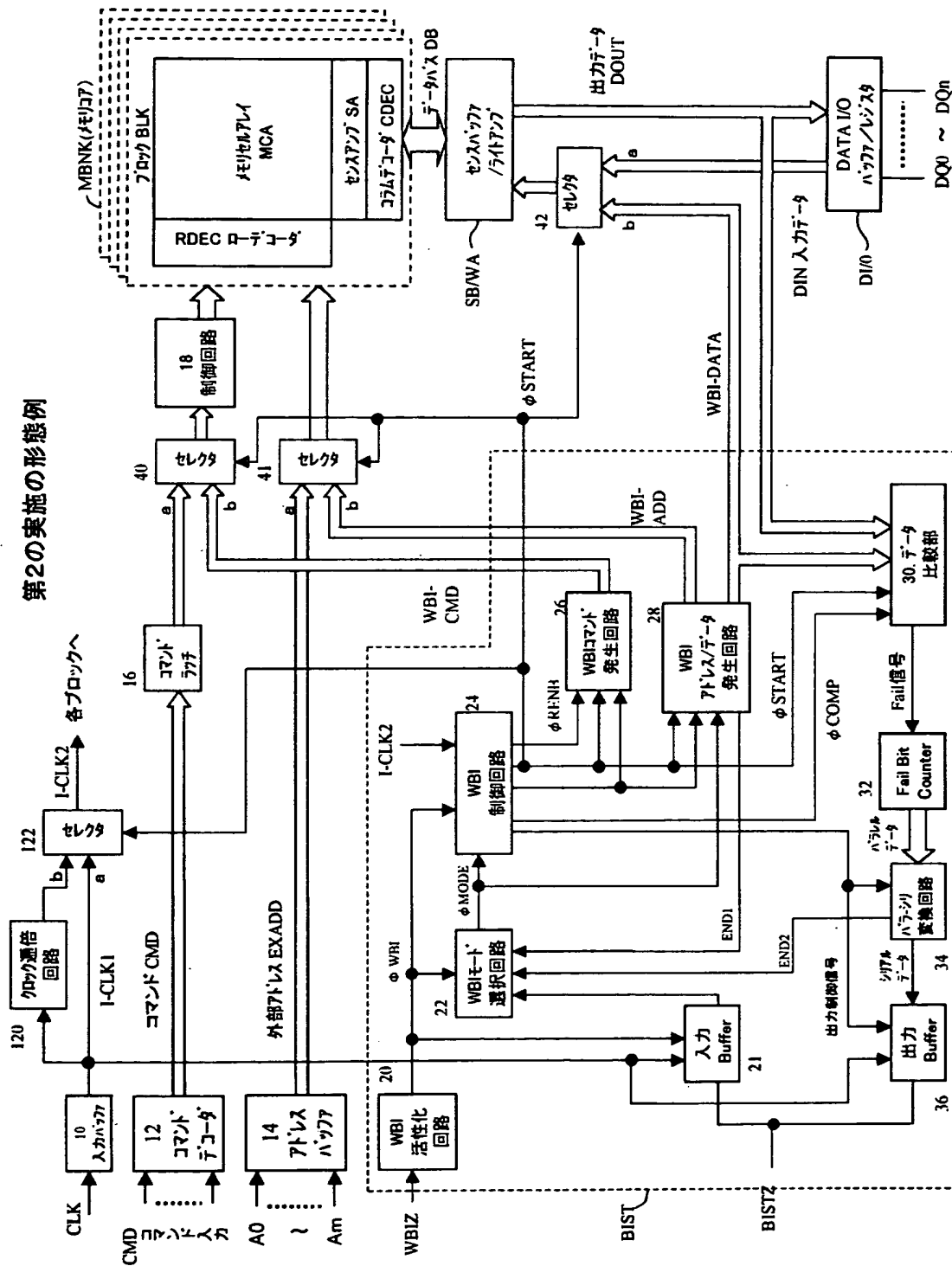


【図 1 7】

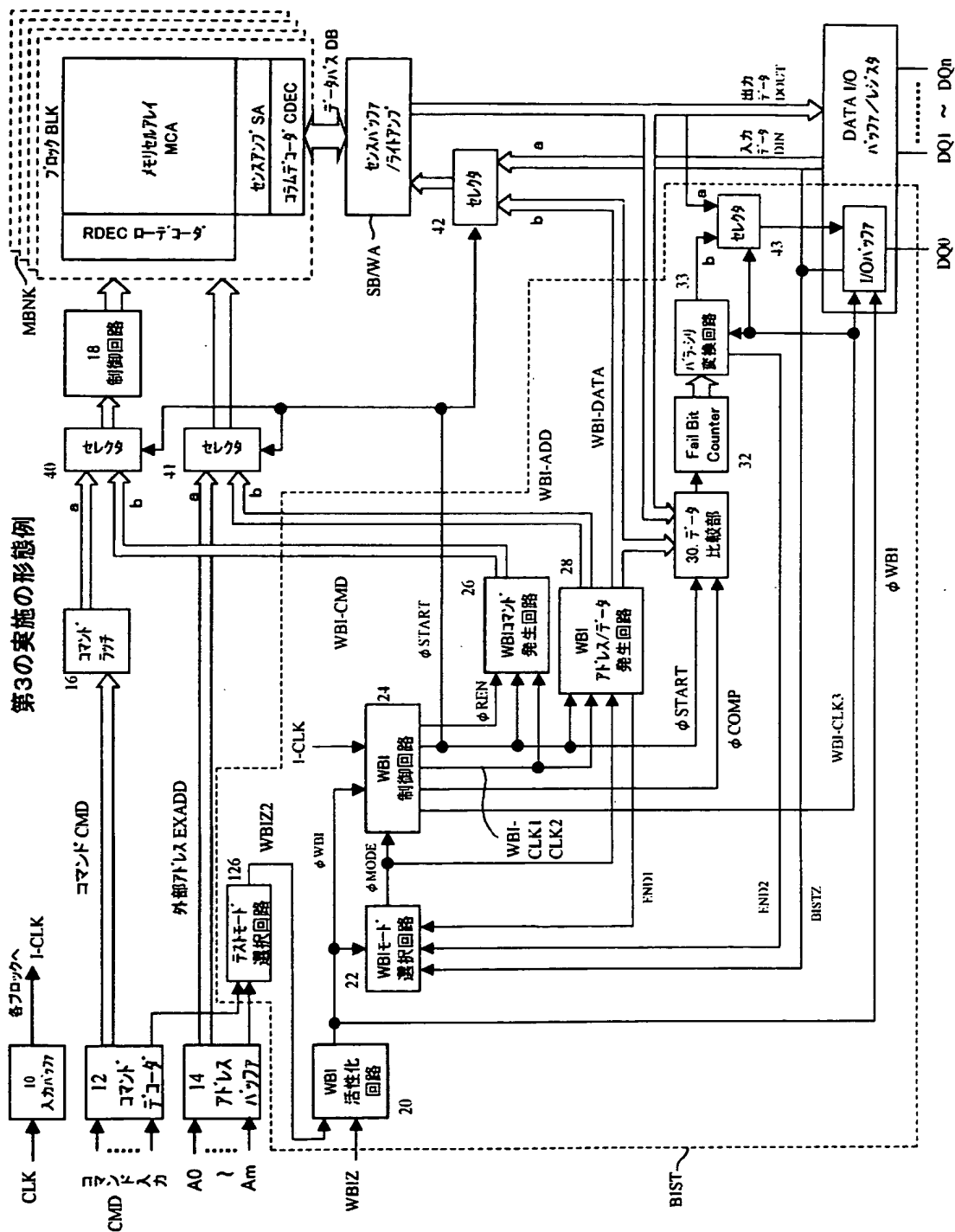
データ比較部の動作



【図 18】

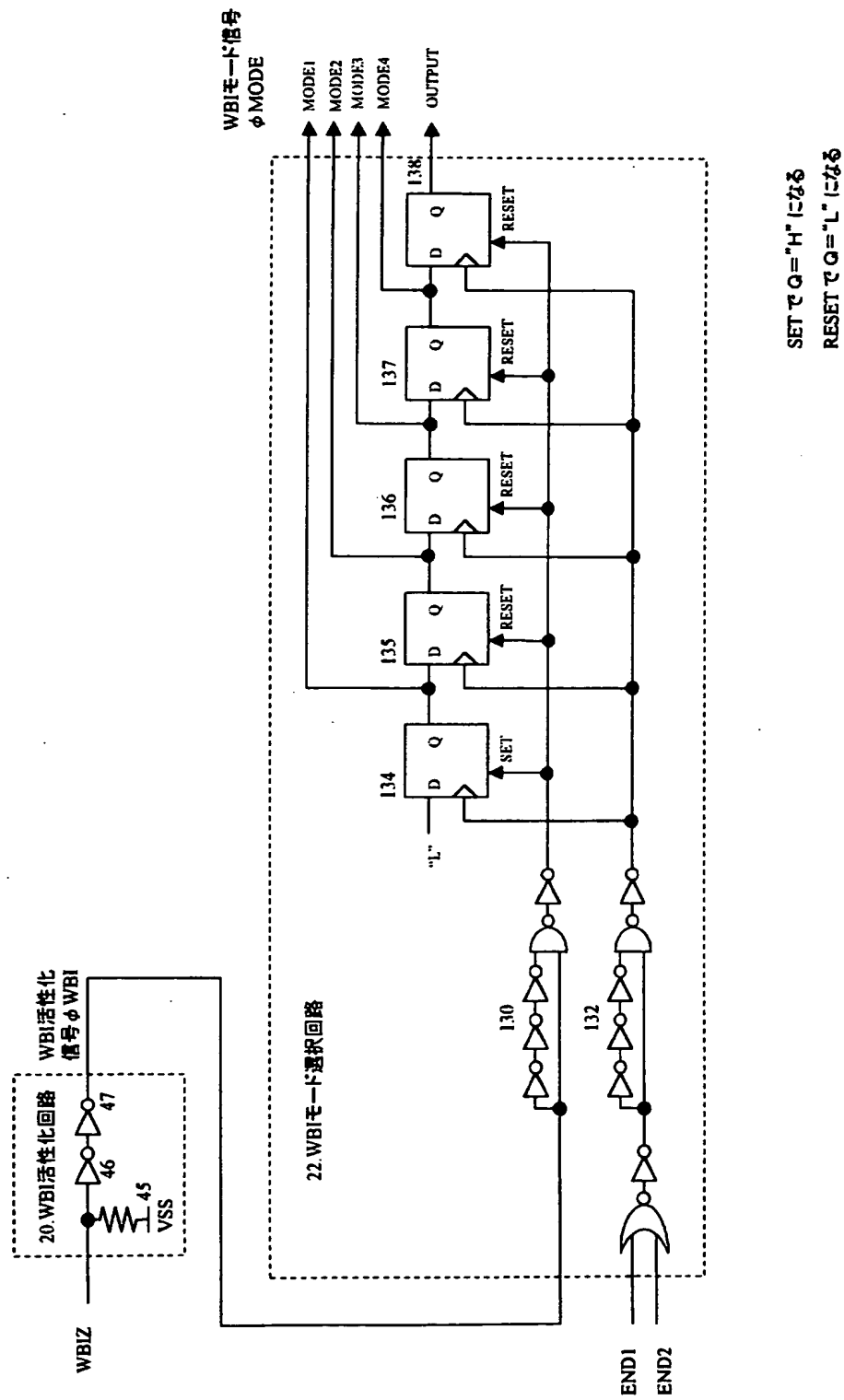


【図 19】



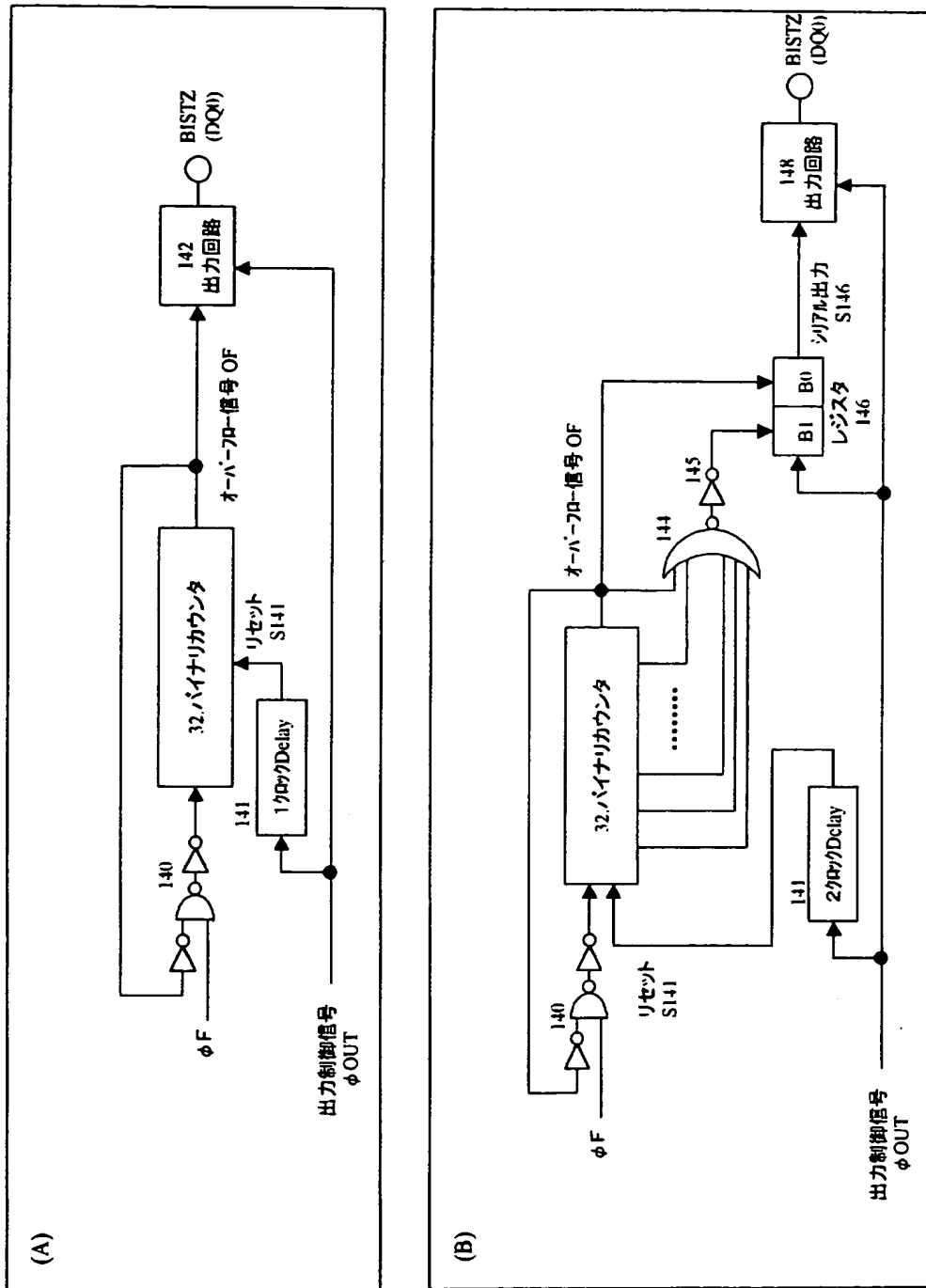
【図 20】

第4の実施の形態例でのWBI活性化回路とWBIモード選択回路

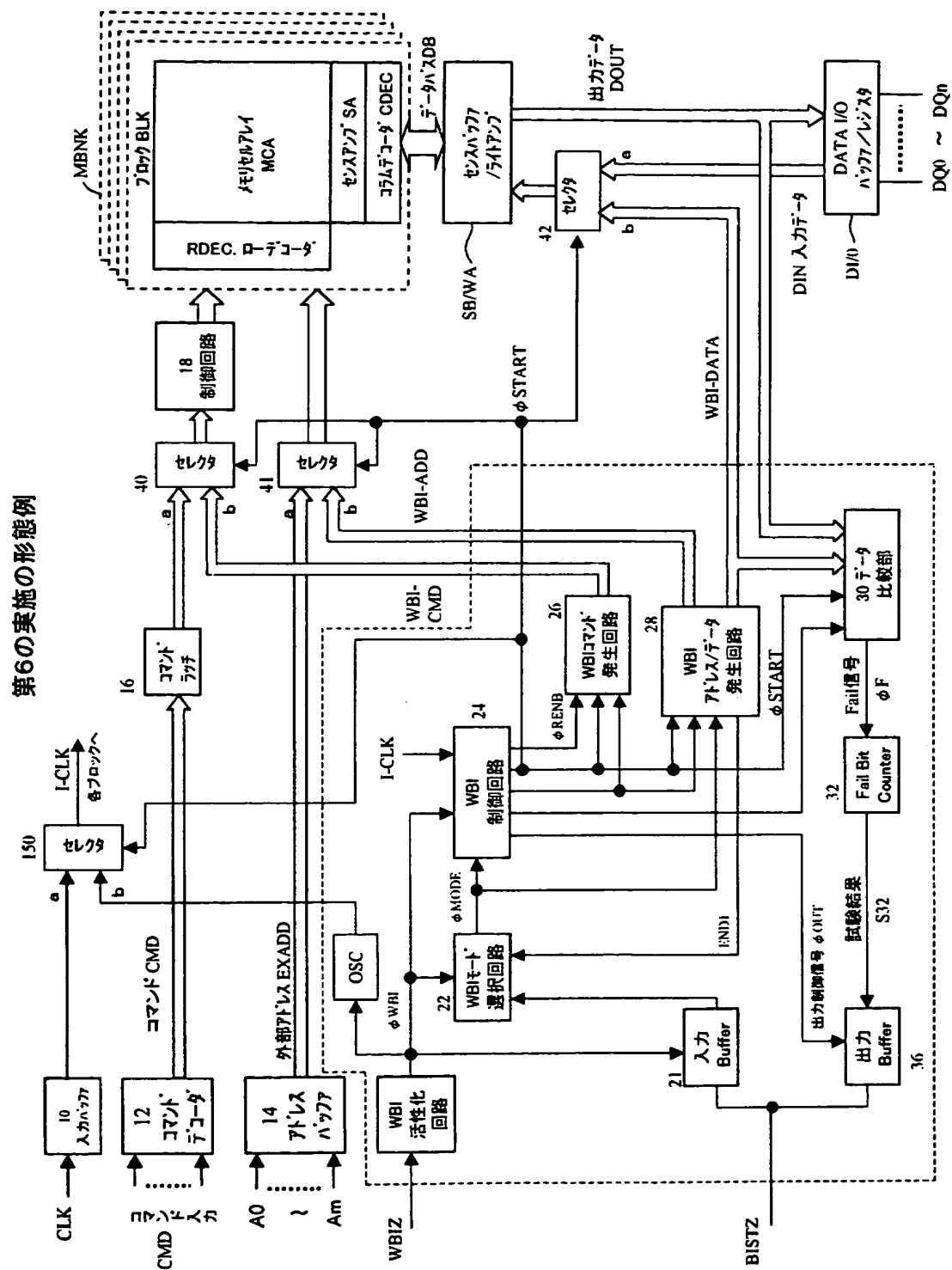


【図 21】

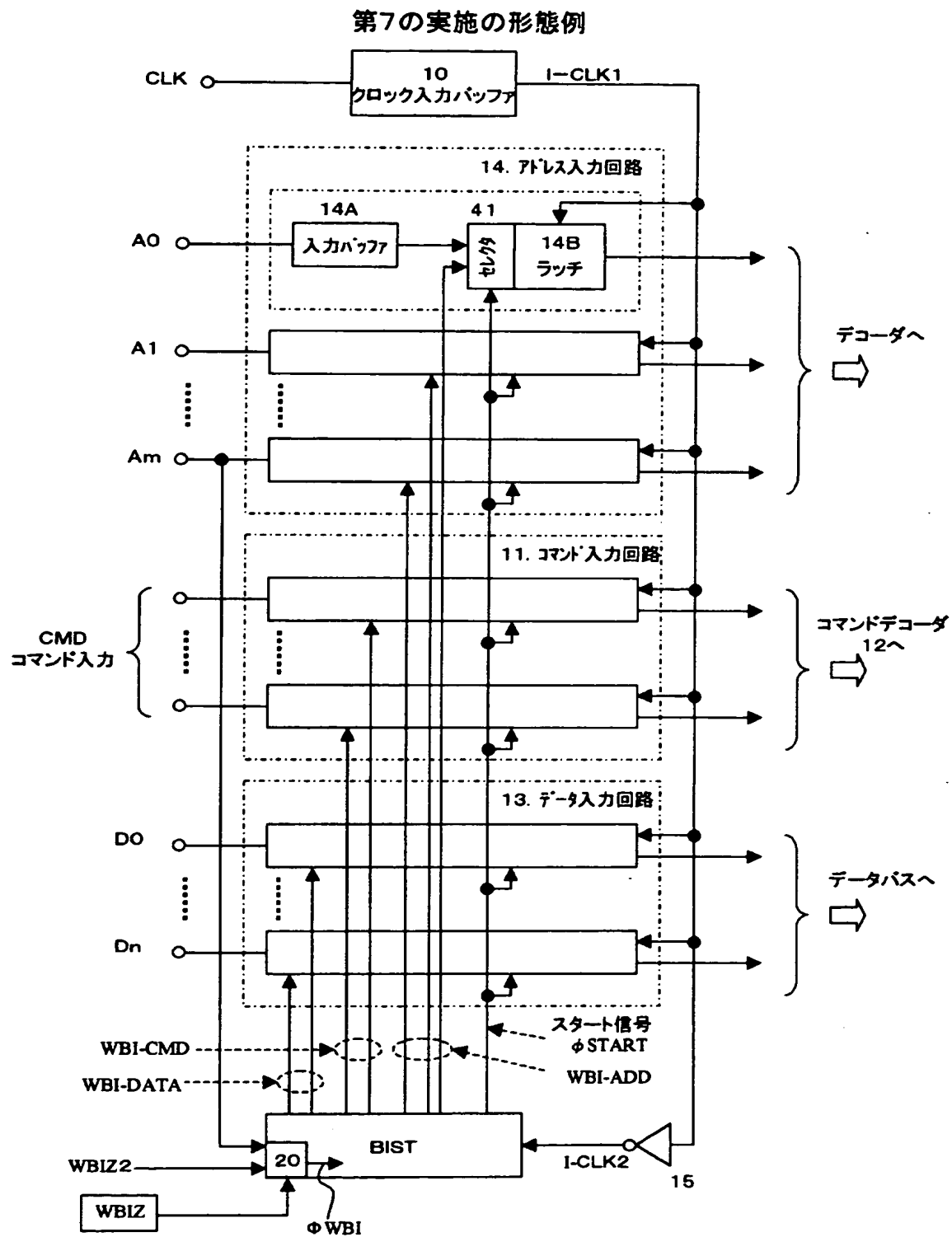
第5の実施の形態例、出力部の他の実施例



【图 2 2】

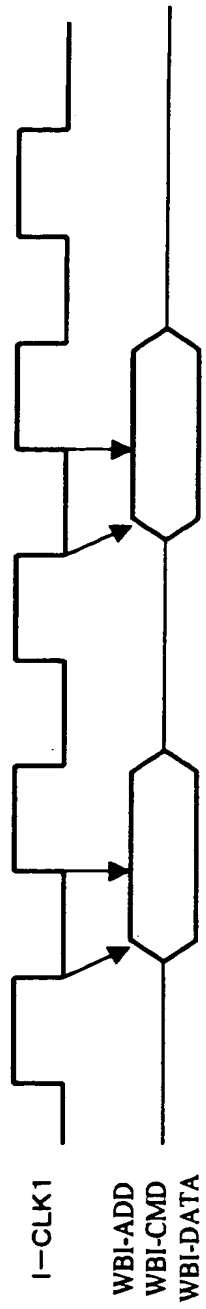


【図 23】



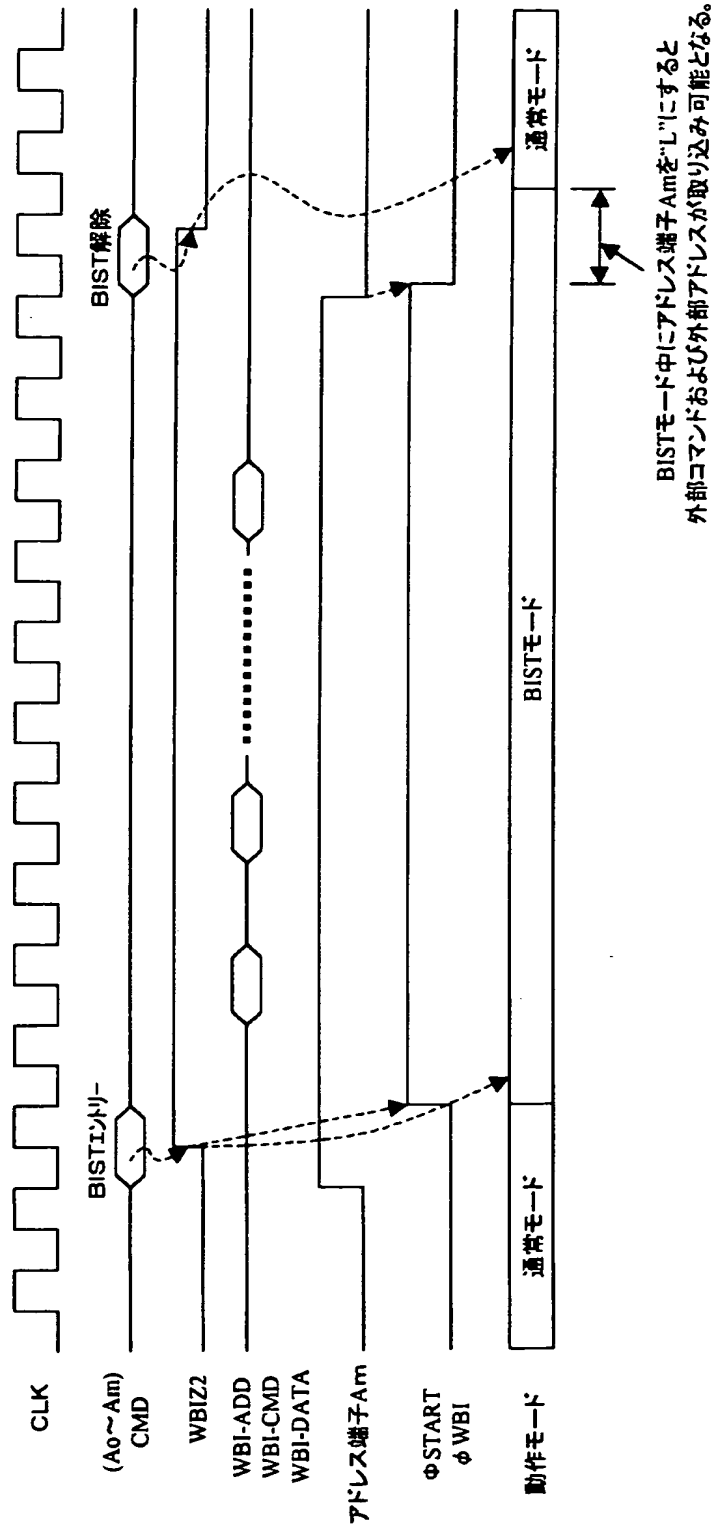
【図 2 4】

試験アドレス、試験動作コマンド、試験データの発生と取り込みの関係

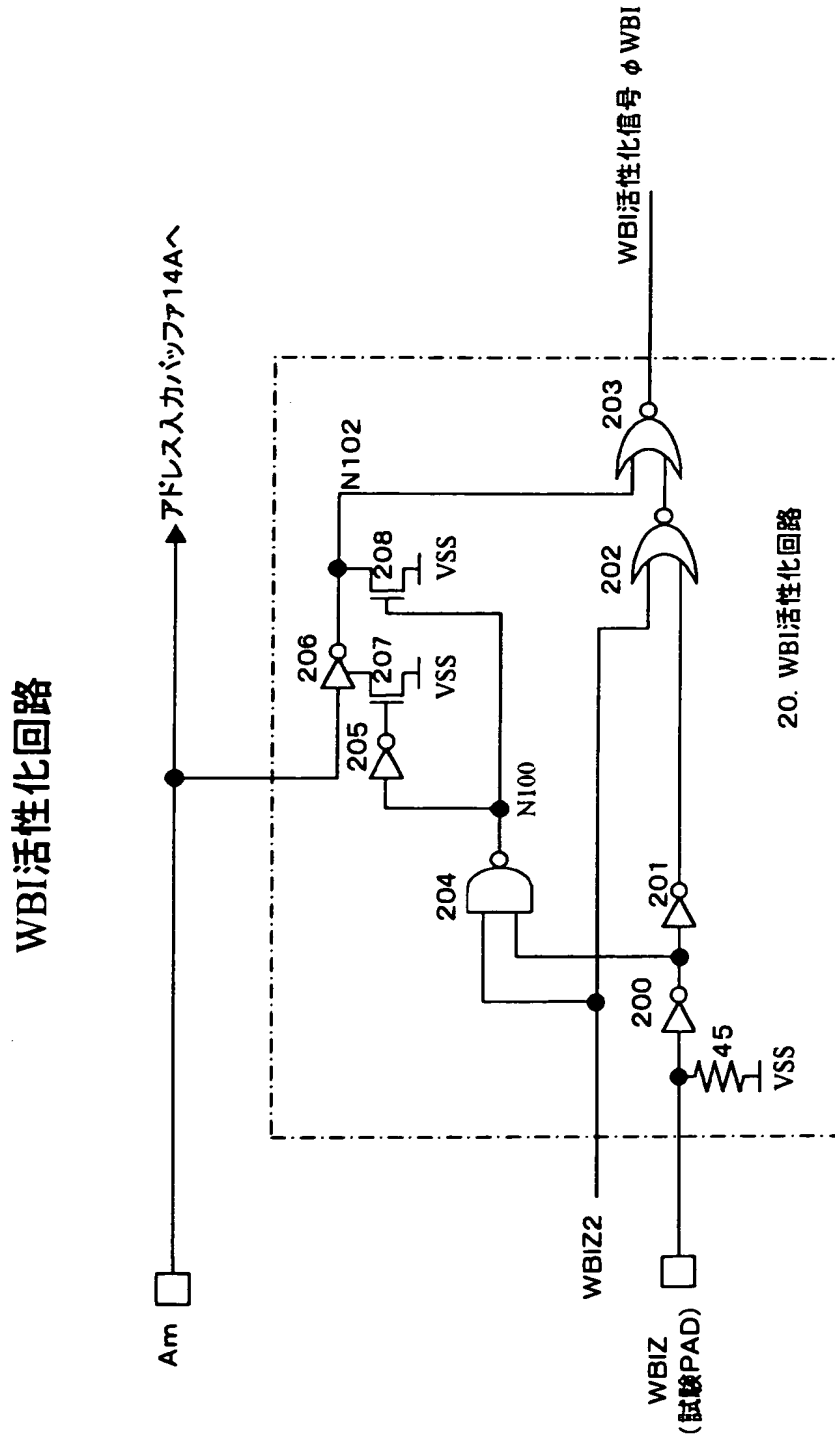


【図 25】

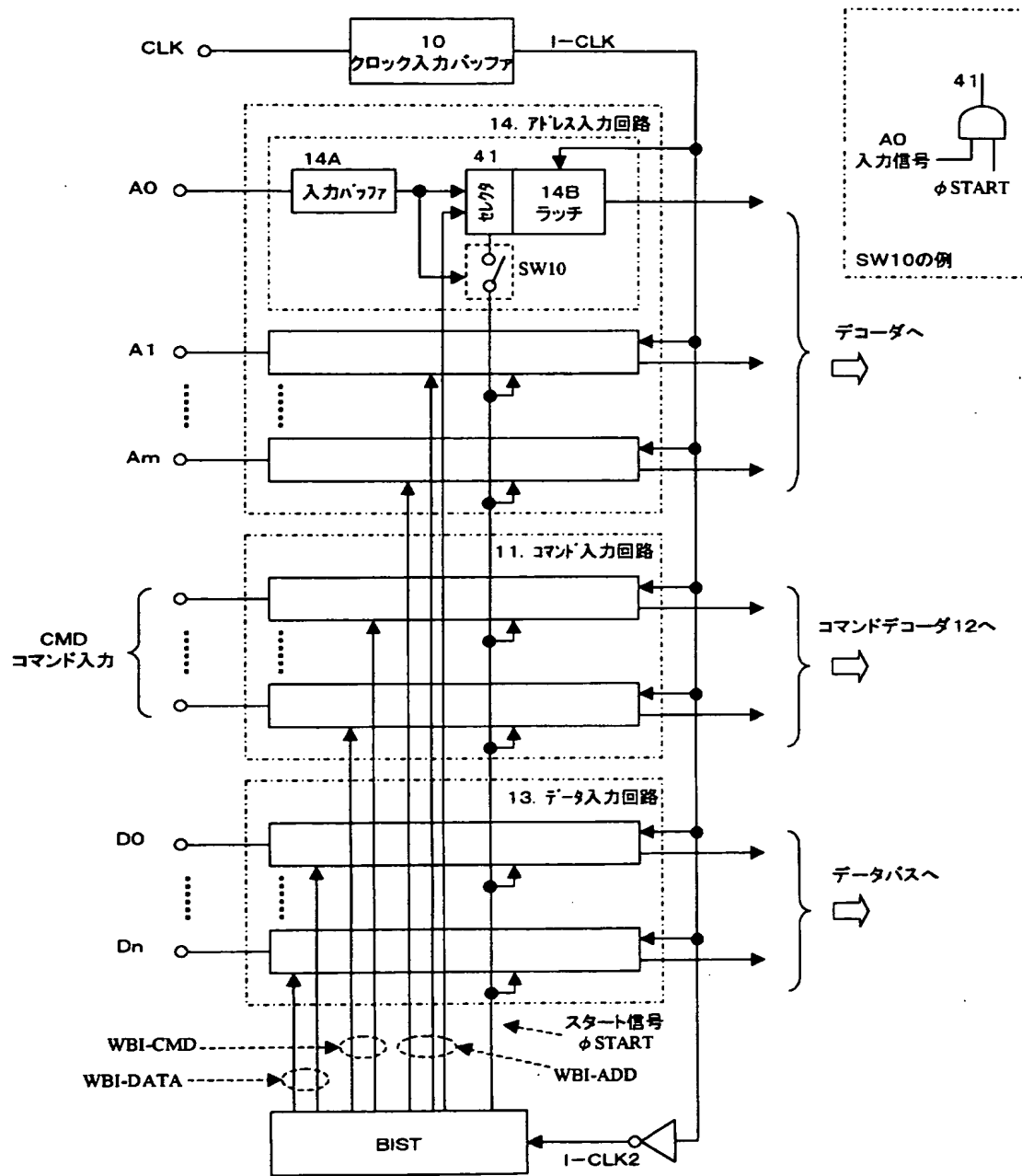
自己試験モードの解除方法(組立て後)



【図 26】

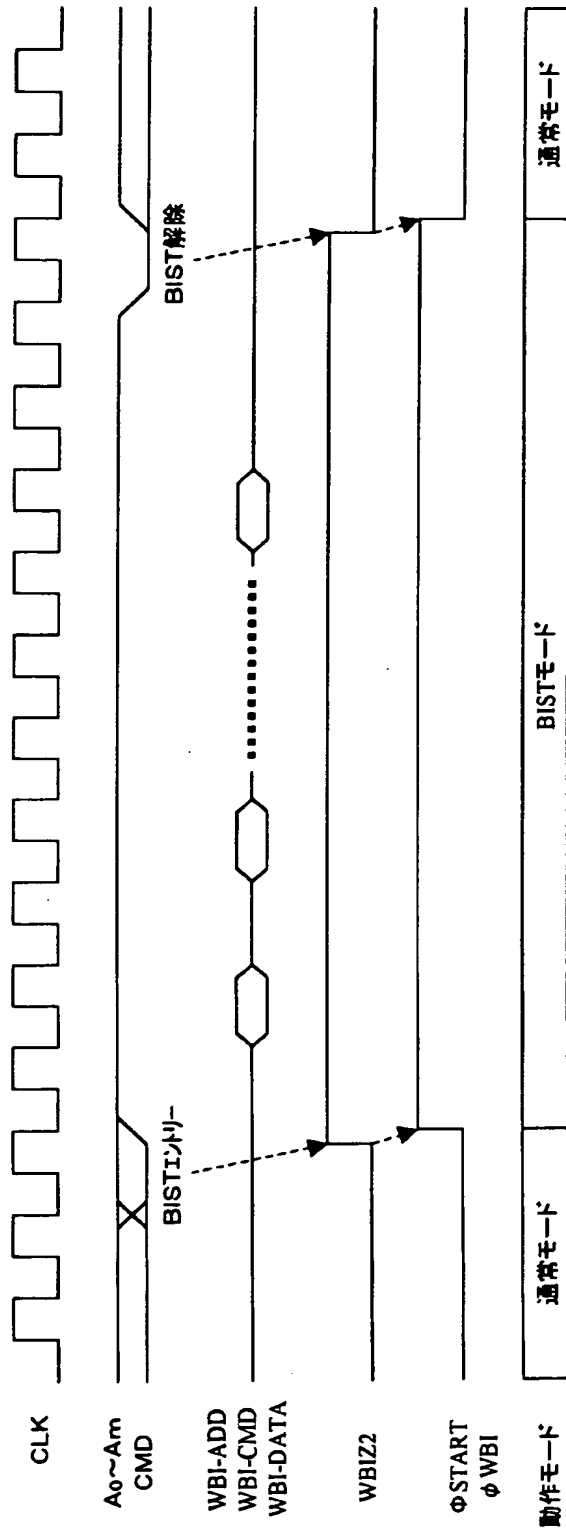


【図 27】



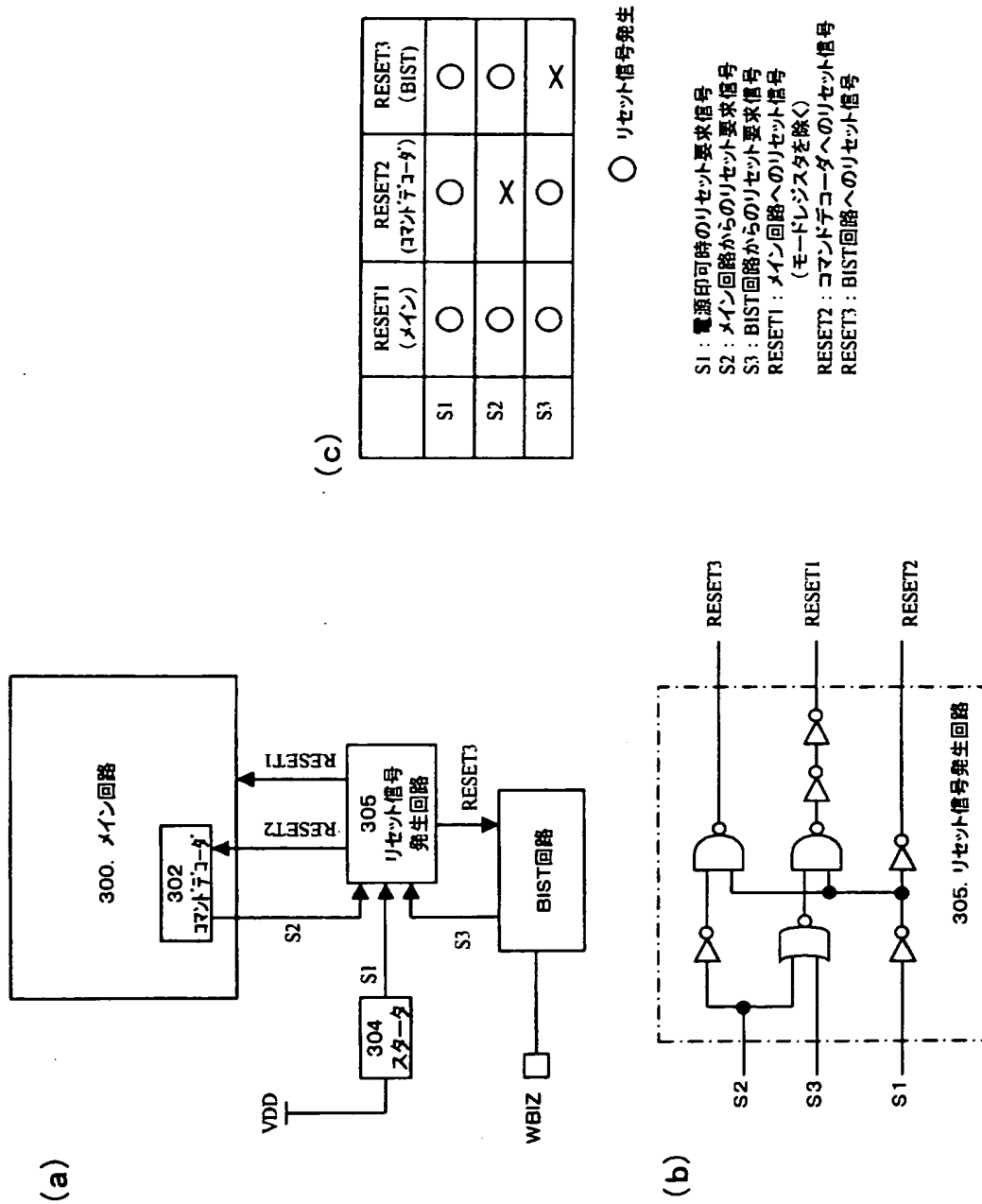
【図 28】

BISTモードの解除方法(組立て後)



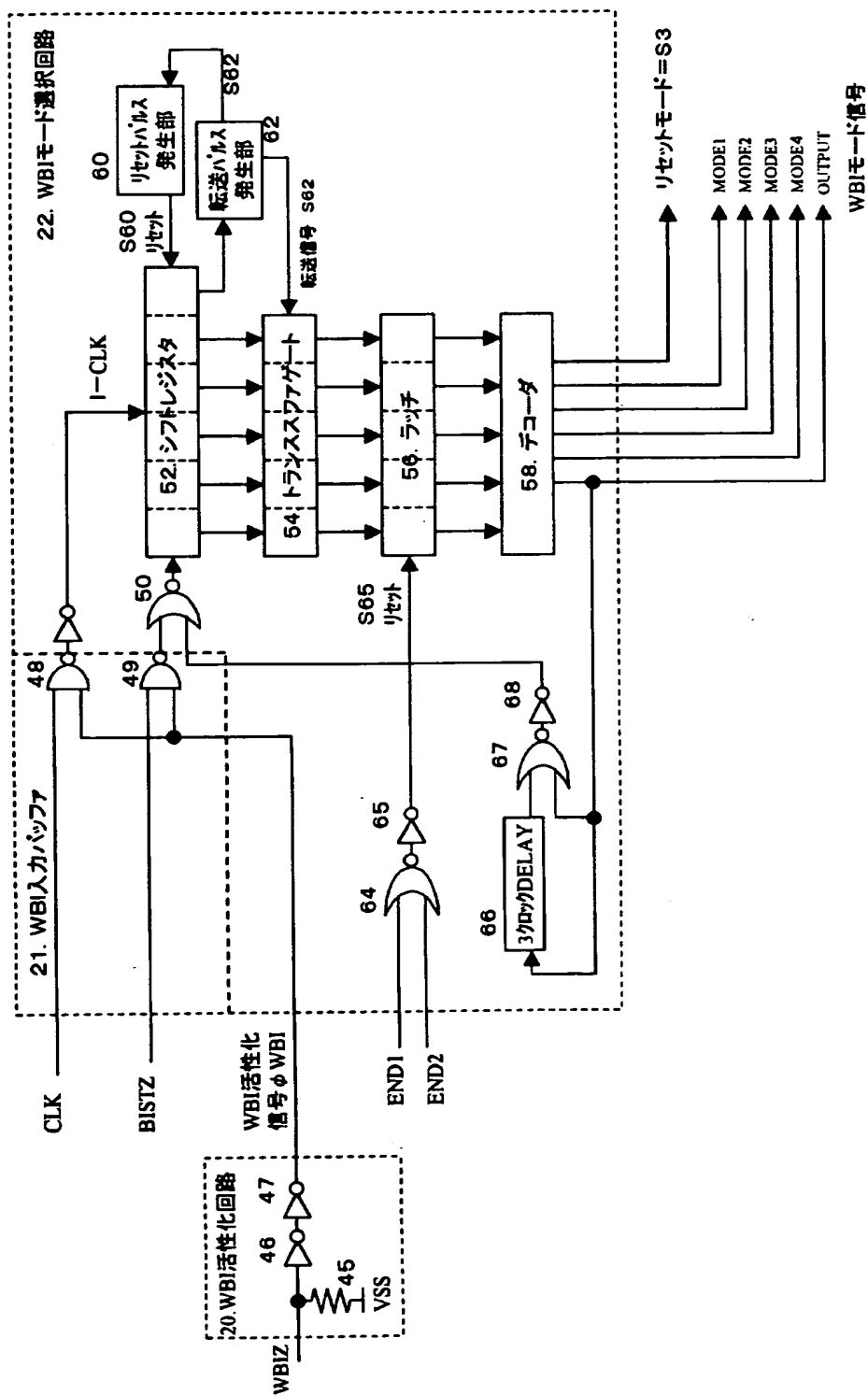
【図 29】

第8の実施の形態例



【図 30】

WBI活性化回路、WBI入力バッファとWBIモード選択回路



【書類名】

要約書

【要約】

【課題】冗長セルを利用した不良品の救済に適した自己試験回路を提供する。

【解決手段】本発明は、メモリデバイス内に内蔵され、外部から試験活性化信号に応答して活性化する自己試験回路BISTである。この自己試験回路は、外部からの試験活性化信号WBIZに応答して活性化し、試験動作コマンドWBI-CMDを発生し、試験アドレスWBI-ADDを発生し、試験データWBI-DATAを発生する。更に、自己試験回路は、試験データをメモリセルに書き込んだ後に、そのメモリセルから読み出した読み出しデータが、書き込んだ試験データと同じか否かを比較し、その比較結果を蓄積する。そして、その比較結果情報が外部に出力される。

【選択図】図2

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 6 9 6 8 9
受付番号	5 0 0 0 0 7 0 2 3 6 7
書類名	特許願
担当官	高田 良彦 2 3 1 9
作成日	平成 1 2 年 6 月 2 7 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜 3 - 9 - 5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜 3 - 9 - 5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社